

Kompetenzzentrum für Dezentrale Elektrische Energieversorgungstechnik



Schlussbericht

$Verbundvorhaben \ , E^2 COGaN``$

Energy Efficient Conversion using GaN Power Devices

ENIAC Call 2012-1

Teilvorhaben der Universität Kassel / KDEE-EVS

Demonstratoren von photovoltaischen Wechselrichtern mit GaN Halbleitertechnologie

FKZ 16ES0022

Inhaltliche Bearbeitung

Dr.-Ing. Samuel V. Araujo, M.Eng. Christian Felgemacher, M.Sc. Juliane Hinze,
Dr.-Ing. Mehmet Kazanbas, Dr.-Ing. Thiemo Kleeb, Dr.-Ing. Christian Nöding,
M.Sc. Douglas Pappis, M.Sc. Andressa C. Schittler, Prof. Dr.-Ing. Peter Zacharias

Verbundkoordinator

Frederik Deleu On Semiconductor Belgium BVBA Westerring 15 Tel.: +32 5533 2932 eMail: frederik.deleu@onsemi.com

Ansprechpartner der Universität Kassel / KDEE-EVS

Dr.-Ing. Christian NödingProf. Dr.-Ing. habil. Peter Zachariaschristian.noeding@uni-kassel.depeter.zacharias@uni-kassel.deTel.: 0561/804-6166Tel.: 0561/804-6344Universität Kassel / KDEE-EVS, Wilhelmshöher Allee 71, 34121 Kassel

Verbundpartner

ONSemi, NXP-NL, NXP-UK, NXP-B, ST-I, Cirtem, EpiGaN, CISC, NANO, AIRBUS, MC2 Technologies, IUNET, CEA, FHG, STUBA, UNIVBRIS, SNPS, BIT, SE, BOSCH, TU/e, AUDI, Universität Kassel / KDEE-EVS

Inhaltsverzeichnis

In	halts	verzeichnis	4
А	bbildı	ungsverzeichnis	6
1.	Kurz	darstellung	8
	1.1.	Aufgabenstellung und Ziele	8
	1.2.	Voraussetzungen unter denen das Vorhaben durchgeführt wurde	9
	1.3.	Planung und Ablauf des Vorhabens	10
	1.4.	Stand von Wissenschaft und Technik zum Antragszeitpunkt	12
	1.5.	Vernetzung und Zusammenarbeit	14
	1.6.	Veröffentlichungen	14
2.	Eing	ehende Darstellung	16
	2.1. Ū	Überblick über die durchgeführten Arbeiten	16
	2.2. I	Bauteilcharakterisierung verschiedener Bauteile	16
	2.3.	Γreiber-Signal-Isolierung	21
	2.4. U	Untersuchung eines Hoch-Temperatur-Gate-Treibers für GaN	24
	2.5. I	Dynamischer On-Widerstand bei GaN-Halbleitern	25
	2.5	5.1. Versuchsaufbau	26
	2.5	5.2. Theoretischer Hintergrund	28
	2.5	5.3. Einfluss der Drain-Source-Spannung	30
	2.5	5.4. Zusammenfassung	32
	2.6. A	Aufbau und Betrieb eines 1-phasigen PV-Wechselrichters mit GaN	33
	2.6	6.1. Grundsätzliche Topologie	34
	2.6	5.2. Ansteuerung	35

2.6.3. Kern- und Kupferverluste der magnetischen Bauelemente bei erhöhten	
Frequenzen	37
2.6.4. Filterdrosseln für erhöhte Frequenzen	38
2.6.5. EMV-Filter-Design	38
2.6.6. Finaler Demonstrator	40
2.6.7. Zusammenfassung	51
3. Zusammenfassung	52
Literaturverzeichnis	54

Abbildungsverzeichnis

Abbildung 1.1: Planung und Ablauf des Gesamtvorhabens11
Abbildung 1.2: Übersicht möglicher Konfigurationen netzverbundener PV-
Wechselrichter
Abbildung 1.3: Entwicklung des Wirkungsgrades von kommerziellen Geräten und
Laborprototypen13
Abbildung 1.4: Kostenaufteilung eines marktüblichen PV-Wechselrichters in 201214
Abbildung 2.1: Leckstrom des Bauteils über Sperrspannung bei drei Temperaturen17
Abbildung 2.2: Stromabhängiger Spannungsabfall18
Abbildung 2.3: Änderung des R _{dson} mit der Temperatur18
Abbildung 2.4: Stromabhängiger Spannungsabfall bei 25°C18
Abbildung 2.5: Stromabhängiger Spannungsabfall bei 125°C19
Abbildung 2.6: Ein- und Ausschaltmoment bei GaN mit größeren Schwingungen19
Abbildung 2.7: Optimierte Schaltzelle für Betrieb mit GaN-Halbleitern20
Abbildung 2.8: Schaltenergien in Abhängigkeit des Drain-Stroms20
Abbildung 2.9: Benchmarking verschiedener Halbleiter
Abbildung 2.10: Prinzipielle Test-Schaltung für Treiber
Abbildung 2.11: Bei Untersuchung der Gatetreiber-Schaltung ermittelte Werte22
Abbildung 2.12: Bootstrap-Schaltung zur Gatetreiber-Versorgung23
Abbildung 2.13: Charakteristische Eigenschaften aufgetragen über die Schaltfrequenz 23
Abbildung 2.14: Grundsätzlicher Aufbau unter Verwendung eines HF-Transformators24
Abbildung 2.15: Entwickelte und aufgebaute Testschaltungen26
Abbildung 2.16: Spannungs-Clamping-Schaltung nach Stromspiegel-Prinzip [5]27
Abbildung 2.17: Clamping-Schaltung basierend auf Zero-Recovery Schottky-Diode [6] 27
Abbildung 2.18: Messung zur Berechnung des dynamischen Widerstands
Abbildung 2.19: GaNSystems GS66508T Spezifikationen
Abbildung 2.20: Für den GS66508T angepasste Gatetreiber-Konfiguration30
Abbildung 2.21: Dynamischer Widerstand für verschiedene Drain-Source-Spannungen31
Abbildung 2.22: Normierter Widerstand bei verschiedenen Zwischenkreisspannungen .31

Abbildung 2.23: Theoretischer Anstieg der Durchlassverluste bei unterschiedlichen
Zwischenkreisspannungen und fixem Duty-Cycle
Abbildung 2.24: Theoretischer Anstieg der Durchlassverluste bei unterschiedlichen
Duty-Cycles und fester Zwischenkreisspannung
Abbildung 2.25: Grundsätzliche Wechselrichterschaltung
Abbildung 2.26: FPGA-Testboard der Universität Kassel unter Verwendung eines
Altera Cyclone III FPGAs und Peripherie
Abbildung 2.27: Grundsätzliche Struktur der implementierten Regelung
Abbildung 2.28: a) RK40 mit Kühlkörper, b) PQ50, c) PM62, d) PM74 Spule42
Abbildung 2.29: Resonanzfrequenzen für verschiedene Ausgangsdrosseln
Abbildung 2.30: Parasitäre Parallelkapazitäten für verschiedene Ausgangsdrosseln43
Abbildung 2.31: DC-Widerstand für verschiedene Ausgangsdrosseln
Abbildung 2.32: Volumen für verschiedene Ausgangsdrosseln
Abbildung 2.33: Impedanz-Messungen für verschiedene Ausgangsdrosseln
Abbildung 2.34: Induktivitätsmessungen für verschiedene Ausgangsdrosseln43
Abbildung 2.35: Folien-Wicklungs-Anordnung der ETD44 Drossel
Abbildung 2.36: Daten der einzelnen angefertigten Ausgangsdrosseln
Abbildung 2.37: Impedanz-Messungen des Ringkerns mit (RK40 Litze) und Drossel mit
ETD44-Kern
Abbildung 2.38: Puderkerne für EMV-Filter: a) T200-26, b) T1330-26, c) T106-2646
Abbildung 2.39: Impedanz-Messung verschiedener Pulver-Ringkerne
Abbildung 2.40: Induktivitäts-Messungen verschiedener Pulver-Ringkerne46
Abbildung 2.41: Finaler Demonstrator des 1-phasigen PV-Wechselrichters mit $2,3kW$
Leistung und OnSemi GaN-Halbleitern (Konfiguration I)47
Abbildung 2.42: Beschreibung einzelner Komponenten des finalen Demonstrators48
Abbildung 2.43: Gemessene Wirkungsgrad- und Verlustleistungskurven für verschiedene
Konfigurationen (ohne Hilfs-Versorgung)
Abbildung 2.44: Temperaturprofil der vermessenen Schaltung bei 2,3kW und einer
Schaltfrequenz von 130kHz
Abbildung 2.45: Wirkungsgrad- und Verlustleistungskurven für Konfiguration I mit
parallelen OnSemi GaN-Halbleitern (ohne Hilfs-Versorgung)
Abbildung 2.46: Ausgangsspannung und -strom des finalen Demonstrators51
Abbildung 2.47: Übersicht einzelner Konfigurationen und deren Haupteigenschaften51

1. Kurzdarstellung

1.1. Aufgabenstellung und Ziele

Die vom Fachgebiet Elektrische Energieversorgungssysteme (EVS) am Kompetenzzentrum für Dezentrale Elektrische Energieversorgungstechnik (KDEE) der Universität Kassel durchgeführten Arbeiten im Rahmen des in diesem Bericht vorgestellten Teilvorhabens "Demonstratoren von photovoltaischen Wechselrichtern mit GaN Halbleitertechnologie" haben einen Beitrag zum Verbundvorhaben "Energy Efficient Conversion using GaN Power Devices" (E²COGaN) geleistet.

Ziel des Gesamtvorhabens des Projekts "E²COGaN" war die Betrachtung und Demonstration von GaN-auf-Silizium als Hochspannungsbauteil in Form von Schottky-Barrier-Dioden (SBD) als auch High-Electron-Mobility-Transistoren (HEMTs). Dabei sollte die gesamte Wertschöpfungskette vom Halbleiterhersteller bis hin zum Demonstratorbau betrachtet werden. Daher bestand das Konsortium sowohl aus Substratherstellern und GaN-Bauteil-Herstellern, als auch Endnutzern und universitären Einrichtungen. Beginnend bei Spannungen in Höhe von 600V und Strömen von 10A sollten schließlich Spannungsbereiche bis hin zu 1.500V und Strömen bis hin zu 100A betrachtet werden, um die Grenzen von GaN zu ermitteln, wobei die angestrebte Leistung stets unterhalb von 10kW angesiedelt war. Besondere Aufmerksamkeit sollte dabei der Zuverlässigkeit und parasitären Effekte der neuen Bauteile gewidmet werden. Elektrothermische und mechanische Simulationen sollten die Safe-Operation-Areas (SOAs) der GaN-Halbleiter ermittelt und schließlich in Demonstratoren am Projektende belegt werden. Hierzu galt es einerseits einen Photovoltaik-Wechselrichter mit GaN-Halbleitern für Klein-PV-Anlagen aufzubauen und einen möglichen Vorteil durch Verwendung von GaN-Halbleitern zu ermitteln. Andererseits sollte ein Demonstrator für Automotive-Anwendungen aufgebaut werden, welcher als Bordnetzwandler die Hochspannungsbatterie eines Elektroautos laden sollte.

Die Universität Kassel untersuchte hierfür im entsprechenden Teilvorhaben sowohl die Anforderungen schnellschaltender Wide-Bandgap-Bauteile auf die notwendige Gatetreiber-Schaltungen, als auch auf die Gesamtschaltung. Weiterhin wurden die im Rahmen des Projekts angefertigten GaN-Halbleiterschalter des Projektpartners ON Semiconductor mit einem Doppelpulsverfahren charakterisiert und mit markverfügbaren Bauteilen verglichen. Besondere Eigenschaften der GaN-Halbleiterschalter (unter anderem der dynamische Einschaltwiderstand) wurden dabei gesondert betrachtet.

1.2. Voraussetzungen unter denen das Vorhaben durchgeführt wurde

Das Ziel dieses Teilvorhabens bestand darin, das Potential von GaN-basierten Bauelementen auf Systemebene darzustellen, und zwar mithilfe von Demonstratoren von GaN-basierten Stromrichtern für Anwendungen in der Photovoltaik.

In einem ersten Schritt sollten die anwendungsspezifischen Parameter der Bauelemente wie Schaltverhalten und Verluste im Vordergrund stehen. Die optimale Ansteuerungsstrategie sollte hinsichtlich der Einschränkungen auf der Anwendungsebene, wie Oszillationen und Überspannungen, detailliert untersucht werden. Eine Datenbank mit relevanten Messergebnissen sollte aufgebaut und später bei der Konstruktion und Fertigung verwendet werden.

Aktivitäten auf der Anwendungsebene sollten mit einer detaillierten Untersuchung von Topologien beginnen. Hierbei galt es Aspekte hinsichtlich der Performance als auch Einschränkungen der GaN-Leistungsbauelemente zu berücksichtigen, um sie in der Zielanwendung optimal nutzen zu können. Um das Potential von GaN-Bauelementen auf der Anwendungsebene in vollem Umfang zeigen zu können, sollten weiterhin folgende Grunduntersuchungen durchgeführt werden:

- Auswahl und Design von passiven Filterelementen f
 ür den Betrieb bei hohen Schaltfrequenzen (bis zu einigen hunderten kHz) und Flanken (
 über 50kV/µs)
- Kühlungsstrategie und Berücksichtigung des Betriebs bei höherer Junction-Temperatur
- Neue Techniken für die Auslegung von Leistungs- und Signalplatinen, die einen Betrieb bei hohen Schaltflanken mit geringen elektromagnetischen Störungen ermöglicht

Durch den Einsatz der erworbenen Kenntnisse wurden folgende Entwicklungsziele gegenüber dem Stand der Technik angestrebt:

• Erhöhung der Effizienz der Umwandlungsphase (mindestens um 0.5%)

- Reduzierung der Größe von passive Bauelementen durch den Betrieb bei höheren Schaltfrequenzen (wenigstens um Faktor 2)
- Höhere Sperrschicht-Temperatur und Vermeidung von Zwangskühlung (zur Senkung des Aufwands und Verbesserung der Zuverlässigkeit)
- Kostenreduzierung (durch geringere Kosten f
 ür passive Filterelemente und K
 ühlung)

Mittels experimenteller Validierung galt es unter Berücksichtigung des abgeleiteten Wirkungsgrads, Halbleiteraufwands, Gewichts und der Zuverlässigkeit die aufgebauten Demonstratoren zu überprüfen.

1.3. Planung und Ablauf des Vorhabens

Das Gesamtvorhaben wurde in sieben thematische Arbeitspakete unterteilt, die jeweils wiederrum in zahlreiche Unterarbeitspakete unterteilt wurden. Die von der Universität Kassel bearbeiteten Unterarbeitspakete umschlossen dabei die folgenden Arbeitspakete:

AP1.1: Ermittlung der Grundanforderungen zur Entwicklung und Systemintegration von GaN-basierenden Bauelemente (2,5 PM)

AP1.2: Funktionelle Anforderungen und Spezifikationen - Epitaxie, Bauelemente und Aufbautechnik (0,5 PM)

AP1.3: Vorläufige Bewertung der erreichbaren Vorteile und Funktionen auf Systemebene (1 PM)

AP4.2: Elektrische Charakterisierung und Bewertung der Zuverlässigkeit (9,5 PM)

AP4.3: Elektrische Implementierung und Gate-Treiber-Design (8 PM)

AP5.0: Koordination des Arbeitspakets 5 (1,5 PM)

AP5.1: Demonstratoren für photovoltaischen Wechselrichter (44,5 PM)

AP6.2: Verbreitung der Ergebnisse (0 PM)

							2.5: Conclusion e-mode, 1.2kv					is / gate drivers		is / gate drivers		2: Final PV Demonstrators	5.3: Final Autom. Demonstrat.						
25 26 27 28 29 30 31 32 33 34 35 36				ates		2.4: Optimized 600V devices	M N N N N N N N N N N N N N N N N N N N	e modes / limitations		2: Simulation approach defined	33: Deep understanding of failure modes	V gate drivers M4.3: 2nd Gen. module		V gate drivers M4.3: 2nd Gen. module		demonstrators	demonstrators M	demonstrators	M6.3: E2COGaN workshop hold		tion Plan		
4 15 16 17 18 19 20 21 22 23 24				ble M2.3: Optimised substra		st Gen 600V devices		MB.1: Screening of failur		Na		/drivers NS.2: 1st Gen. mddules		drivers M4.2: 1st Gen. դիզdules ،		14	M5.1:1st	M5.1:1st			M6.2: Updated Exploitat	et-up	
3 4 5 6 7 8 9 10 11 12 13 1		MILI: complete set of specs		N 2.1 800V substrates availa		1						Md.1: Preselection Assembly		M4.1: Preselection Assembly					M6.1: web-site operational			M2.1: Project management s	
Short Title 1 2	Customer Requirement Specs	Functional Requirements Specs	Preliminary Gain assessment	Development of GaN-epi subs.	Development of process modules	Device Design and Optimization	Device Characterization	Parasitic Effects	Breakdown & Safe Operation Area	Device simulation for reliability	Reliability investigation	Packaging technologies	Thermal Simulation & Charac.	Gate driver	System integration	PV demonstrators	Automotive demonstrators	Preliminary Studies (other appl.)	E2COGaN web-site	Dissemination	Exploitation	mplement. of Mgmt structures	
asktt	1.1	1.2	1.3	2.1	22	2.3	2.4	3.1	3.2	3.3	3.4	4.1	4.2	4,3	4.4	5.1	5.2	5.3	6.1	6.2	6.3	1.7	

Abbildung 1.1: Planung und Ablauf des Gesamtvorhabens

1.4. Stand von Wissenschaft und Technik zum Antragszeitpunkt

In der Photovoltaik gibt es eine Vielzahl von möglichen Ansätzen bezüglich der Anordnung der Module und Grundeigenschaften der Stromrichter, wie in Abbildung 1.2 dargestellt. Dies bietet einen diversifizierten Markt, in dem die Einführung von neuen Technologien schrittweise von niedrigen zu höheren Leistungen möglich ist, sobald die Chips mit höherer Stromtragfähigkeit zur Verfügung stehen. Am meisten eingesetzte Halbleitertechnologien in PV-Leistungswandler sind Si-IGBTs, Superjunction MOSFETs (bis zu 650 V) und bis zu einem gewissen Grad SiC-Dioden in neuen Designs.





Eins der Schlüsselelemente in der Entwicklung von PV-Stromrichtern ist die Anforderungen nach höheren Wirkungsgraden (siehe Abbildung 1.3). Dies kann im Gegenzug direkt zu geringeren Investitions- und Installationskosten (da weniger Module notwendig sind, um die gleiche Energiemenge zu produzieren) und auch zu kürzeren Amortisationszeiten führen. Abbildung 1.3 zeigt einen Überblick über die Entwicklung der Wirkungsgrade von kommerziellen und Forschungs-Produkten in den vergangenen zehn Jahren. Mit Einsatz von SiC wurde z.B. ein Wirkungsgrad von 99% erreicht, was jedoch zunächst zu höheren Kosten führt (d. h. durch Überdimensionierung von aktiven Bauelementen).



Abbildung 1.3: Entwicklung des Wirkungsgrades von kommerziellen Geräten und Laborprototypen

Eine Herausforderung besteht darin, einen hohen Wirkungsgrad bei zeitgleich geringen Preisen zu erzielen. In der Vergangenheit wurde eine Tendenz der kontinuierlichen Kostenreduzierung von Solarwechselrichter und –Module angesagt. Die Preisdiskrepanz zwischen den PV- und Antriebs-Stromrichtern ist heutzutage signifikant, besonders im Bereich der niedrigeren Leistungen. Eine andere wichtige Herausforderung ist die Erhöhung der Zuverlässigkeit und die Beseitigung der Ausfallmechanismen der leistungselektronischen Systeme, was niedrigere Wartungskosten und eine stabile und zuverlässige Stromversorgung sichert.

Abbildung 1.4 zeigt eine beispielhafte Kostenaufteilung eines marktüblichen PV-Stromrichtersystems zur Antragszeit im Jahr 2012. Nur 12% der Systemkosten gehen hier direkt auf die leistungselektronischen Bauelemente zurück. Eine bedachte Auswahl der leistungselektronischen Bauelemente kann jedoch eine beträchtliche Auswirkung auf den Kostenaufwand mit magnetischen Komponente und schließlich auch auf die Schaltschrankgröße haben. Diese beiden Faktoren machen bis zu 30% Gesamtsystemkosten aus.



Abbildung 1.4: Kostenaufteilung eines marktüblichen PV-Wechselrichters in 2012

1.5. Vernetzung und Zusammenarbeit

In Kooperation mit den anderen Konsortialpartnern untersuchte das KDEE-EVS die Performance und Detaileigenschaften der neuartigen GaN-Halbleiter des Konsortialpartners ON Semiconductors und erstellte eine umfangreiche Halbleiterdatenbank mit Durchlass- und Schaltverlusteigenschaften sowohl herkömmlicher Si- und SiC-Halbleiter als auch zahlreicher (auch marktverfügbarer) GaN-Halbleiter. Die Ergebnisse wurden den anwendungsorientierten Konsortialpartnern zur Verfügung gestellt, um Verlustsimulationen und Auslegungen der zu entwickelnden Demonstratoren vornehmen zu können.

Der Konsortialpartner ON Semiconductor lieferte für die durchzuführenden Charakterisierungsmessungen, als auch den anzufertigenden Demonstrator die notwendigen Halbleiterschalter. In Zusammenarbeiten mit dem Fraunhofer IZM wurden zudem neuartige Aufbau- und Verbindungstechniken für eine optimale Anbindung der GaN-Halbleiter in Form von Einzel- und Halbbrückenmodulen mit GaN-Schaltern und neuartigen Gehäuseformen untersucht.

1.6. Veröffentlichungen

Im Zuge des Projekts wurden die folgenden wissenschaftlichen Ausarbeitungen bei verschiedenen Konferenzen (EPE, CIPS und PCIM) publiziert:

 Araujo, S., Kazanbas, M., Wendt, M., Kleeb, T., Zacharias, P., "Prospects of GaN devices in automotive electrification ", PCIM 2014 Nürnberg

- Kazanbas, M., Schittler, A.C., Araujo, S.V., Zacharias, P., "High-Side Driving under High-Switching Speed: Technical Challenges and Testing Methods", PCIM2015 Nürnberg
- Schittler, A.C., Kleeb, T., Kazanbas, M., Araujo, S.V., Zacharias, P., "Considering on the influence of the current ripple and switching frequency towards the differential mode EMI filter", CIPS2016
- Schittler, A.C.; Pappis, D.; Zacharias, P., "EMI filter design for high switching frequency and high switching speed PV inverters", EPE2016
- Oliveira, E., Nöding, C., Zacharias, P., "Impact of Dynamic On-Resistance of High Voltage GaN Switches on the Overall Conduction Losses", PCIM2017

2. Eingehende Darstellung

2.1. Überblick über die durchgeführten Arbeiten

Die von der Universität Kassel durchgeführten Arbeiten lassen sich grob in zwei Schwerpunkte untergliedern:

Im ersten Schwerpunkt wurde im Rahmen des Arbeitspakets 4 sowohl die Gate-Beschaltung, als auch die grundsätzlichen elektrischen Eigenschaften der zu untersuchenden GaN-Halbleiter analysiert. Hierbei galt es einen Vergleich zu State-of-the-art Halbleitern aus Silizium und SiC, als auch marktverfügbare GaN-Halbleiter anzufertigen.

Der zweite Schwerpunkt umfasste das Design, den Aufbau und die Inbetriebnahme eines Demonstrators eines 1-phasigen PV-Kleinwechselrichters für eine Leistung unterhalb von 5kW. Dabei sollten die Vor- bzw. möglicherweise auch Nachteile von GaN-Halbleitern untersucht und die möglichen Grenzen des Systems erforscht werden.

2.2. Bauteilcharakterisierung verschiedener Bauteile

Neben den Haupteigenschaften der Halbleiter (Schalt- und Durchlassverluste) wurden im Rahmen des Arbeitspakets 4 zunächst die Durchbruchspannungen untersucht. Hierfür wurde mit einem hochgenauen Strommessgerät der Leckstrom des Bauteils über die Sperrspannung aufgezeichnet. Anhand des aufgezeichneten Kurvenverlaufs lassen sich Rückschlüsse über das maximale Potential des aufgebauten Halbleiters schließen – so auch über mögliche Überlastfähigkeit. Abbildung 2.1 zeigt den gemessenen Kurvenverlauf eines der untersuchten Bauteile.



Abbildung 2.1: Leckstrom des Bauteils über Sperrspannung bei drei Temperaturen

Das Verhalten der Gate-Threshold-Spannung gibt weiterhin Auskunft über das Schaltverhalten eines Bauteils über einem weiten Betriebsparameterbereich. Eine starke Drift dieses Wertes würde entsprechend starke Änderungen im Schaltverhalten mit sich führen. Aus diesem Grund wurde die Gate-Threshold-Spannung von verschiedenen Bauteilen aufgezeichnet und verglichen. Zusätzlich wurde die Gateladung gemessen, welche besonders für die Auslegung eines optimierten Gatetreibers von Interesse ist, da die Gateladung innerhalb kurzer Zeit und mit Schaltfrequenz vom Gatetreiber umgeladen werden muss. Als Trend kann pauschal ausgesagt werden, dass bei Einsatz von GaN-Halbleitern die Leistung des Gatetreibers nicht höher als bei herkömmlichen Si-MOSFETs ausfallen muss – obgleich mit höheren Schaltfrequenzen gearbeitet wird.

Auch wurden die Bauteile hinsichtlich ihrer weiteren grundsätzlichen Eigenschaften untersucht. Abbildung 2.2 zeigt den gemessenen stromabhängigen Spannungsabfall eines vermessenen GaN-Halbleiters in Vorwärtsrichtung, während Abbildung 2.3 die Änderung des R_{dson} über die Temperatur aufzeigt.



Abbildung 2.2: Stromabhängiger Spannungsabfall



Abbildung 2.3: Änderung des R_{dson} mit der Temperatur

Da die zu betrachtenden GaN-Halbleiter auch rückwärtsleitende Eigenschaften besitzen, wurde dementsprechend auch diese Betriebsart untersucht. Die Rückwärtsleiteigenschaften sind besonders bei Betrieb als Synchrongleichrichtung oder Balindleistung zu beachten.



Abbildung 2.4: Stromabhängiger Spannungsabfall bei 25°C



Abbildung 2.5: Stromabhängiger Spannungsabfall bei 125°C

Die Untersuchungen der statischen Eigenschaften wurden schließlich durch Untersuchungen zu dynamischen Schalteigenschaften ergänzt. Hierzu wurde das bekannte Doppelpulsverfahren angewandt, um die Halbleiter mit einem definierten Strom in einer definierten Zeit zu belasten und schließlich die Signale aus Drain-Strom und Sperrspannungsverlauf im Ein- und Ausschaltmoment aufzuzeichnen. Die Multiplikation aus Strom- und Spannungsverlauf ergibt die momentane Leistung. Die Integration über die Zeit ergibt schließlich die Energie, die in jedem Schaltvorgang als Verlustwärme abgeführt wird.



Abbildung 2.6: Ein- und Ausschaltmoment bei GaN mit größeren Schwingungen

Wie in Abbildung 2.6 gut ersichtlich, birgt der Betrieb der schnellschaltenden GaN-Bauteile Risiken hinsichtlich größerer Oszillationen im Aufbau. Abbildung 2.7 zeigt

schließlich den für GaN-Halbleiter optimierten Aufbau, bei dem die Oszillationen erheblich reduziert werden konnten. Hierfür wurde unter anderem die Beschaltung des Gates optimiert, aber auch der gesamte Kommutierungskreis angepasst.



Abbildung 2.7: Optimierte Schaltzelle für Betrieb mit GaN-Halbleitern

Als Ergebnis der Messungen wurden schließlich Kennlinienfelder für Ein- und Ausschaltenergien ermittelt, wie sie beispielhaft in Abbildung 2.8 in Abhängigkeit des Drain-Stroms aufgezeigt sind. Wie man erkennen kann, hat die Temperatur lediglich untergeordneten Einfluss auf die Schaltenergien und insgesamt dominieren die Einschaltenergien im Vergleich zu den gemessenen Ausschaltenergien.



Abbildung 2.8: Schaltenergien in Abhängigkeit des Drain-Stroms

Nach Abschluss aller Messungen wurde ein Benchmarking verschiedener GaN-Halbleiter bei verschiedenen Dioden-Konfigurationen (intrinsische oder externe SiC-Diode) durchgeführt. Hierbei wurde auch ein 650V H5 IGBT, sowie ein C7 CoolMOS als Vergleichsbasis einbezogen (siehe normierte und anonymisierte Ergebnisse in Abbildung 2.9).



Abbildung 2.9: Benchmarking verschiedener Halbleiter

2.3. Treiber-Signal-Isolierung

Bei schnellschaltenden und hochsperrenden Signalen ergeben sich zwangsweise entsprechende common-mode Störungen. Die Treiber- und Signaltrennungsbausteine weisen dabei lediglich eine begrenzte common-mode-rejection-rate (CMRR) auf, die bei GaN-Hableitern zunehmend ein limitierender Faktor wird. GaN-Hableiter arbeiten in der Regel bei Spannungsflanken von deutlich mehr als 50kV/µs, was teilweise über dem Limit marktüblicher Treiberschaltungen liegt. Im Rahmen des Arbeitspakets 4 wurde deshalb detailliert untersucht, inwieweit diese hohen Spannungs-Transienten Einfluss auf den isolierten Treiberausgang hat und welche Gegenmaßnahmen ergriffen werden können. Hierzu wurde ein Gatetreiber von Infineon vom Typ 1EDI20N12AF sowohl mit Einzelpulsen (statisch) als auch mit kontinuierlicher Pulsweiten-Modulation (PWM, dynamisch) betrieben.



Abbildung 2.10: Prinzipielle Test-Schaltung für Treiber

In Abbildung 2.11 können die bei den Tests ermittelte Werte für die Spannungs-Zeit-Änderung dv/dt bei den Ein- und Ausschaltvorgängen betrachtet werden.





Abbildung 2.11: Bei Untersuchung der Gatetreiber-Schaltung ermittelte Werte

Im Rahmen des Projekts wurden zwei Vorschläge für die Gatetreiber-Versorgung ausgesprochen. Neben einer isolierten Gatetreiber-Versorgung über eine Bootstrapschaltung wurde die Verwendung eines HF-Transformators beschrieben. Bei Verwendung einer Bootstrapschaltung ist neben dem Bootstrap-Widerstand R_{bs} vor allem die Bootstrap-Diode von großer Bedeutung (siehe Abbildung 2.12). Abbildung 2.13 zeigt für diese Art der Gatetreiber-Versorgung die charakteristischen Eigenschaften aufgetragen über die Schaltfrequenz.



Abbildung 2.12: Bootstrap-Schaltung zur Gatetreiber-Versorgung

Aufgrund der benötigten sehr geringen Werte des Bootstrapwiderstands steigen die Anforderungen an die Diode erheblich. Hohe Strompeaks können größere Oszillationen anregen, die die Einsatzfähigkeit dieser Schaltung einschränken.



Abbildung 2.13: Charakteristische Eigenschaften aufgetragen über die Schaltfrequenz

Als Alternative zur Bootstrap-Schaltung wurde der Einsatz eines HF-Transformators betrachtet. Hier sind mit Blick auf die hohen dv/dt-Werte vor allem die Koppelkapazitäten des Trafos zu berücksichtigen. In Abbildung 2.14 ist die betrachtete Schaltung des Iso-Buck-Konverters gezeigt. Diese wurde mit eigenen Transformatoren mit weniger als 3pF Koppelkapazität aufgebaut und unter Belastung getestet. Die Rückführung des Regel-Signals erfolgte hierbei unter Verwendung der Primärwicklung, um Optokoppler zu vermeiden. Ein bipolarer Ausgang ist hier über eine zusätzliche Sekundärwicklung realisierbar. Die Vor- und Nachteile dieser Schaltung wurden mit den gängigen Flyback-Lösungen betrachtet und verglichen.



Abbildung 2.14: Grundsätzlicher Aufbau unter Verwendung eines HF-Transformators

2.4. Untersuchung eines Hoch-Temperatur-Gate-Treibers für GaN

Speziell für die Anwendung von GaN-Halbleitern bei hohen Temperaturen wurde ein Gate-Treiber vom Fraunhofer IMS aus Duisburg aufgebaut und dem KDEE-EVS für Benchmarking-Tests zur Verfügung gestellt. Die Schaltung besteht dabei aus zwei separaten Treibern um einen Niederspannungs-NMOS-Transistor und einen Hochspannungs-Transistor in Form eines Normally-On-GaN-Bauteils in Kaskoden-Konfiguration ansteuern zu können. Die durchgeführten Tests beinhalten dabei elektrische und dynamische Charakterisierungstest, wie z.B. Propagation-Delays, Rise- und Fall-Zeiten, sowie den maximal möglichen Ausgangs-Strom. Anders als im vorläufigen Datenblatt fungiert der gelieferte Treiber als nicht-invertierender Treiber, sodass er für Normally-On-Bauteile als eher ungeeignet erscheint.

Bezugnehmend auf die erzielten und in diesem öffentlichen Bericht nicht weiter beschriebenen Ergebnisse zeigte der Treiber gute Resultate hinsichtlich des Propagation-Delays, der Schaltzeiten und des Ausgangs-Peak-Stroms auch bei verschiedenen Temperaturen. Daneben konnten mit dem untersuchten Treiber zwei grundsätzlich verschiedene GaN-Halbleiter erfolgreich angesteuert werden: ein Enhancement-Mode- und ein Kaskoden-Schalter. Obgleich der Treiber gute Ergebnisse erzielte, sind neben dem nichtinvertierten Ausgang vor allem die Position des Ein- und Ausgangs anzupassen, um ein einfacheres PCB-Layout zu ermöglichen und die parasitären Induktivitäten somit verringern zu können. Im Falle der hier zur Verfügung stehenden zwei Ausgänge sollten sich diese in unmittelbarer Nähe zueinander befinden. Schlussendlich bleibt noch festzuhalten, dass trotz des hohen Peak-Stroms der zur Verfügung stehende Mittelwertstrom vergleichsweise gering ist.

2.5. Dynamischer On-Widerstand bei GaN-Halbleitern

Die Reduzierung von Verlustleistung ist eine der größten Herausforderungen in der Leistungselektronik. Einer der Hauptstrategien ist hierbei der Einsatz neuartiger Halbleiter. Momentan ist die vielversprechendste Technologie ein Halbleiter auf Basis von Gallium-Nitrid. Diese neuen Bauteile bieten aufgrund ihrer elektrischen Eigenschaften einige Vorteile gegenüber den etablierten Bauteilen auf Silizium-Basis. Zum Beispiel versprechen die hohen Durchbruchspannungen des elektrischen Feldes und die hohe Elektronendichte der GaN-Struktur deutliche Verbesserungen (in der Größenordnung Faktor 3) beim Verhältnis der Durchbruchspannung und des R_{ds,on} gegenüber herkömmlichen Siliziumbauteilen [1]. Zusammengefasst bedeutet dies geringere Verluste, mögliche höhere Schaltfrequenzen und somit ein kompakteres Design [2].

Beim Einsatz von GaN-Schaltern ist jedoch einer der größten Herausforderungen der dynamische Leit-Widerstand (R_{dyn}), welcher bei hohen Spannungssprüngen am Drain auftritt [3]. Dieser Effekt (auch als "Drain Current Dispersion" bekannt) hat direkten Einfluss auf die Durchlassverluste der Schaltung und kann durch Ladungsträgereinschlüsse an der Oberfläche oder im Innern der III-Nitrid-Heteroverbindung erklärt werden. Diese Einschlüsse der Ladungsträger verhalten sich ähnlich einem virtuellen Gate und entleeren den zwei-dimensionalen Elektronenkanal, was zu einer Verringerung des Drain-Stroms und einem Anstieg des Leit-Widerstands führt [4]. In anderen Worten führt diese Stromabsenkung zu einer Abhängigkeit von der vom ausgeschalteten Bauteils zu sperrenden Spannung [5].

Der momentane Wert des R_{dyn} kann durch Messungen der Drain-Source-Spannung V_{ds} und des Drain-Stroms I_D während des Leitens ermittelt werden. Dabei muss darauf geachtet werden, dass das Oszilloskop entsprechend eingestellt wird, sodass die Spannungen jeweils direkt vor und nach dem Schalttransienten gemessen werden. Da sich die Bauteilspannung beim Schalten um mehrere hundert Volt bis hin in den Millivolt-Bereich ändert, ist eine exakte Erfassung dieser niedrigen Spannungen im Leit-Zustand absolut notwendig. Dies ist allerdings mit herkömmlichen Tastköpfen für Spannungsbereiche bis 1000V nicht möglich, da entsprechende Störungen (z.B. Effekte wie z.B. der "Oscilloscope Overdrive") eine exakte Spannungsmessung unterhalb von 10V nicht erlauben [5] und [6]. Zur Lösung dieses Problems wurden zwei State-of-the-art Clamping-Schaltungen aus der Literatur aufgebaut, getestet und optimiert, um eine genaue Spannungsmessung direkt nach dem Schaltmoment zu ermöglichen. Beide Schaltungen sind frei von RC-Glied-Verzögerungen, sodass die gemessenen Spannungen sauber im Oszilloskop dargestellt werden können.

Wie bereits erwähnt, hat das dynamische Verhalten des Ein-Widerstands einen direkten Einfluss auf die Durchlassverluste der Schaltung, was besonders bei höheren Schaltfrequenzen einen deutlichen Anteil einnimmt, da der Bereich mit erhöhtem Widerstand nach dem eigentlichen Schaltvorgang bei verkleinerter Periode des Signals einen größeren Anteil einnimmt. Auch beeinflussen die zu sperrende Drain-Source-Spannung, der Drain-Strom und die Junction-Temperatur den dynamischen Widerstand, was in dieser Untersuchung ebenfalls berücksichtigt wurde. Für ein besseres Verständnis des dynamischen Widerstands und dessen Einfluss auf die Durchlassverluste wurde dieser zunächst mathematisch modelliert, die erwarteten Durchlassverluste anschließend errechnet und schließlich unter Berücksichtigung verschiedener Schaltfrequenzen und Duty-Cycles normiert betrachtet.

2.5.1. Versuchsaufbau

Die in Abbildung 2.15 gezeigten Schaltungen wurden für die Messungen des Spannungsabfalls nach [5] und [6] mit kleineren Modifikationen aufgebaut und eingesetzt.



Abbildung 2.15: Entwickelte und aufgebaute Testschaltungen

Die erste Schaltung besteht dabei aus einer Strom-Spiegel-Schaltung, zwei Hochspannungsdioden D1 und D2 mit gleichen Strom-Spannungs-Charakteristik und einer Clamping-Zener-Diode zwischen den Anoden der beiden Dioden D1 und D2. Die Schaltung wird über die beiden Hochspannungsdioden an das Drain- und Source-Potential des Transistors angeschlossen, dessen dynamischer Widerstand untersucht werden soll. Die Stromspiegel-Schaltung stellt dabei zwei gleiche Ströme bereit, deren Wert vom Widerstand R1, der Versorgungsspannung und dem Vorwärts-Spannungsabfall über den Stromspiegel-Transistoren abhängig ist [5].



Abbildung 2.16: Spannungs-Clamping-Schaltung nach Stromspiegel-Prinzip [5]

Während des Ein-Zustands des DUT (Device under test) ist die Drain-Source-Spannung gering und der gespiegelte Strom fließt durch die Hochspannungsdioden und nicht durch die Clamping-Zener-Dioden D1. Die Spannung über Z1 entspricht der aktuellen Spannung V_{DSon} und muss somit mit einem differentiellen Tastkopf gemessen werden. Während des Aus-Zustands kann der gespiegelte Strom nicht mehr durch Diode D1 fließen, da die Drain-Source-Spannung des DUT entsprechend hoch ist. Somit muss der obere gespiegelte Strom durch Z1 fließen und begrenzt die Spannung auf die Spannung der Clamping-Diode.

Die zweite Clamping-Schaltung ist in [6] angegeben und wird in leicht angepasster Form in Abbildung 2.17 gezeigt. Das zugrundeliegende Verfahren basiert auf einer einfachen Schaltung mit einer Hochspannungs-Zero-Recovery-Schottky-Diode D3 als Hauptkomponente, sowie einer Zener-Diode Z2 zwischen Anode von D3 und dem Source-Potential des zu vermessenden Transistors. Die Originalschaltung aus [6] verwendet eine zweite Hochspannungs-SiC-Diode, um die Eigenversorgung der Schaltung bei Abschalten des DUT gewährleisten zu können. In der hier gezeigten, angepassten Schaltung wurde auf diese zusätzliche Diode unter Verwendung einer externen Spannungsversorgung verzichtet, da die anfallenden Ströme aufgrund des geringen bzw. entfallenden Ladewiderstands entsprechend hoch ausfallen. Die Zener-Dioden Z3 und Z4 könnten ebenfalls entfallen, jedoch wäre der Strom durch Diode D3 und somit die zu messende Einschalt-Spannung sehr von der Versorgungsspannung abhängig.



Abbildung 2.17: Clamping-Schaltung basierend auf Zero-Recovery Schottky-Diode [6]

Während des Aus-Zustands wird die Ausgangsspannung auf den Wert der Zener-Diode Z3 limitiert. Beim Einschalten fließt ein Strom durch Diode D3. Somit entspricht die gemessene Spannung am Ausgang der Summe aus dem aktuellen Spannungsabfall über dem leitenden Halbleiter V_{DSon} und der Schottky-Diode D3. Dieser bekannte "Offset" ist nahezu unabhängig von den Schaltungseigenschaften und muss lediglich von der gemessenen Spannung abgezogen werden [6]. Die zu messenden Größe kann bei dieser Schaltungsvariante über der Zener-Diode Z2 mittels passivem Tastkopf gemessen werden.

Im Projekt wurden die Messungen unter Verwendung eines Tektronix DPO5104 mit 1GHz durchgeführt. Die über die Clamping-Schaltung begrenzte Spannung wurde mit einem Tektronix TDP1000 Differentialtastkopf und der Drain-Strom über T&M Shunt mit 101,1mOhm direkt über das Oszilloskop gemessen. Die Drain-Source-Spannung und die Gate-Source-Spannung wurden unter Verwendung eines 250MHz PMK-Passiv-Tastkopfs vom Typ PHV 662-L für die Drain-Source-Spannung und eines 500MHz Tektronix P6139B für die Gate-Source-Spannung erfasst. Eine Doppelpuls-Kommutierungszelle wurde zur Erzeugung der Großsignale verwendet. Insgesamt wurden drei verschiedene GaN-Schalter untersucht: ein GaNSystems GS66508T und GaN-Schalter zweier Projektpartner.

2.5.2. Theoretischer Hintergrund

Da der momentane Wert des dynamischen Widerstands aus der gemessenen Drain-Source-Spannung und dem Drain-Strom ermittelt werden kann, müssen beide Werte mittels hochauflösenden Messmitteln erfasst werden. Da der Spannungsabfall mit herkömmlichen Mitteln nicht erfasst werden kann, kommt die bereits beschriebene Clamping-Schaltung zum Einsatz. Die nachfolgenden Oszilloskop-Aufnahmen zeigen beispielhaft für alle vermessenen Bauteile die Kurvenverläufe unter Verwendung des GaNSystems GS66508T bei 400V, 20A und 25°C. Die über die Clamping-Schaltung gemessene Drain-Source-Spannung ist in Grün dargestellt (500mV/Div), während die Drain-Source-Spannung mit einem herkömmlichen Tastkopf in blau dargestellt ist (100V/Div). Die Gatespannung ist in Gelb bei 5V/Div und der Strom in Magenta mit 2,5A/Div abgebildet. Die Pulse hatten eine Länge von 90µs bei einer zeitlichen Darstellung von 10µs/Div.



Abbildung 2.18: Messung zur Berechnung des dynamischen Widerstands

Nach der Berechnung des dynamischen Widerstands mittels Tabellenkalkulation wurde ein Modell unter Verwendung einer Curve-Fitting-Software ermittelt. Aus 90 vordefinierten Modellen wurde eine Best-Fit-Lösung gewählt. Für eine bessere Darstellung wurde der dynamische Widerstand schließlich normiert über den DC-Wert bei 90µs aufgetragen:

$$R_{dyn_norm}(t) = \frac{R_{dyn}(t)}{R_{dyn}(90\,\mu s)}$$

Die Durchlassverluste lassen sich dann unter Berücksichtigung der Schaltfrequenz f_{sw} , sowie dem Dutycycle D_x berechnen und ebenfalls mit den Verlusten des statischen Widerstands normieren. Der Anstieg der Durchlassverluste lassen sich dann wie folgt beschreiben:

$$\Delta P_{cond}(D_x, f_{sw}) = \left(\frac{\int\limits_{0}^{D_x} R_{dyn}(t) \cdot dt}{R_{dyn}(90\mu s) \cdot \frac{D_x}{f_{sw}}} - 1\right) \cdot 100\%$$

Letztendlich wurden diese Messungen bei verschiedenen Drain-Source-Spannungen, Drain-Strömen und Junction-Temperaturen durchgeführt, um den jeweiligen Einfluss auf den dynamischen Widerstand und somit auch auf die Durchlassverluste ermitteln zu können.

2.5.3. Einfluss der Drain-Source-Spannung

In diesem Bericht sollen stellvertretend für die anderen vermessenen Bauteile die Ergebnisse in Bezug auf die Drain-Source-Spannungsabhängigkeit für den marktverfügbaren GaNSystems GS66508T dargestellt werden. Dieser Enhancement-Mode GaN-Transistor weist eine Sperrspannungsfähigkeit von 650V in einem sehr flachen GaN PX-Package auf. Das Bauteil besitzt eine Reverse-Conduction-Fähigkeit, einen integrierten Source-Sense-Anschluss und einen Dual-Gate-Anschluss für ein optimales Board-Design [7]. Die Eigenschaften des Bauteils sind in Abbildung 2.19 dargestellt.

Switch technology	Enhancement Mode GaN Transistor
Breakdown voltage	650 V
Continuous drain current	30 A
Pulsed drain currrent	60 A
Drain-to-source on resistance	55 mΩ
Junction-case thermal resistance	0.50 °C/W

GaN Systems GS66508T specifications (T_{case} = 25°C) [7].

Abbildung 2.19: GaNSystems GS66508T Spezifikationen

Die speziell an dieses Bauteil angepasste Gatetreiber-Konfiguration kann in Abbildung 2.20 betrachtet werden.



Abbildung 2.20: Für den GS66508T angepasste Gatetreiber-Konfiguration

Die Messungen wurden bei 25°C Raumtemperatur bei einer Zwischenkreisspannung von 200V, 300V und 400V, sowie einem Strom von 20A durchgeführt. Die berechneten Widerstandsverläufe sind in Abbildung 2.21 abgebildet.



Abbildung 2.21: Dynamischer Widerstand für verschiedene Drain-Source-Spannungen

Es ist ersichtlich, dass der Widerstand ab etwa 20µs, anders als im berechneten Modell, leicht zu steigen beginnt. Dies ist darauf zurückzuführen, dass die Temperatur des Bauteils mit zunehmender Stromleitung zu steigen beginnt. Bei diesen Untersuchungen wurde der Temperaturanstieg innerhalb des Bauteils vernachlässigt, da der dynamische Widerstand zusätzlich mathematisch ermittelt wird. Das vom Curve-Fitting-Programm als best-passendste Modell lässt sich für diese Art der Signalverläufe wie folgt darstellen:

$$R_{dyn}(t) = \frac{a}{1 + b \cdot e^{-c \cdot t}}$$

Die erzielten Ergebnisse sind entsprechend in den nachfolgenden Diagrammen dargestellt. Abbildung 2.23 zeigt die Verläufe bis 30µs, wo sie einen statischen Wert annehmen.



Abbildung 2.22: Normierter Widerstand bei verschiedenen Zwischenkreisspannungen

In Abbildung 2.24 werden die Kurvenverläufe für sowohl unterschiedliche Zwischenkreisspannung und festem DutyCycle, als auch unterschiedlichem DutyCycle und fester Zwischenkreisspannung dargestellt.



Abbildung 2.23: Theoretischer Anstieg der Durchlassverluste bei unterschiedlichen Zwischenkreisspannungen und fixem Duty-Cycle

Abbildung 2.24: Theoretischer Anstieg der Durchlassverluste bei unterschiedlichen Duty-Cycles und fester Zwischenkreisspannung

Wie erwartet, wirkt sich der Effekt mit steigender Frequenz und kleineren Werten des DutyCycles stärker aus, da das Bauteil hier zunehmend im transienten Bereich mit erhöhten Verlusten arbeitet. Weiterhin zeigen die gewonnenen Ergebnisse, dass der Anstieg der Zwischenkreisspannung und somit der Sperrspannung entsprechend große Auswirkungen auf den dynamischen Widerstand und somit die Durchlassverluste besitzt.

2.5.4. Zusammenfassung

Der Einsatz von auf GaN basierenden Wide-Bandgap-Leistungsbauelementen ermöglicht eine Vielzahl von Vorteilen verglichen mit State-of-the-art Silizium-Bauteilen. Insgesamt kann es zu einer Reduzierung der gesamten Verlustleistungen führen, was zusammen mit der Erhöhung der Schaltfrequenzen zu einem kompakteren Aufbau führen kann. Dennoch weisen die Bauteile Effekte auf, die für eine mögliche Erhöhung des dynamischen Einschaltwiderstands sorgen können, sobald höhere Spannungsänderungen an der Drain-Source-Strecke auftreten, was direkten Einfluss auf die Durchlassverluste der Schaltung hat.

In diesem Kapitel wurden die durchgeführten Messungen einzelner GaN-Halbleiter beschrieben, die unter Verwendung von Clamping-Schaltungen den momentanen Wert des dynamischen Widerstands der Bauteile ermitteln ließen. Der Einfluss der Sperrspannung, des Drain-Stroms und der Junction-Temperatur wurden berücksichtigt und untersucht. Um die Zusammenhänge besser zu verstehen, wurde ein mathematisches Modell ermittelt und die Durchlassverluste entsprechend modelliert und unter Berücksichtigung der Einflüsse der Schaltfrequenz und des DutyCycles normiert betrachtet.

Auf Basis der gewonnenen Ergebnisse kann der erhebliche Einfluss des dynamischen Widerstands auf die Durchlassverluste belegt werden. Wie erwartet steigt der Einfluss mit zunehmender Schaltfrequenz, da die Dauer der Transienten mit erhöhtem Widerstand bei verringerter Periodendauer stärker ins Gewicht fallen.

Die Höhe des dynamischen Widerstands ist dabei stark von der geschalteten Sperrspannung abhängig und steigt somit mit steigender Spannung. Je nach Bauteil variiert dieser Wert jedoch. Während die untersuchten Bauteile von GaNSystems eine Änderung des dynamischen Widerstands um 15% aufwiesen, änderte sich der Widerstand bei den untersuchten Bauteilen der beiden Projektpartner um lediglich 9%, bzw. 3% mit veränderter Spannung.

Der Einfluss des Drain-Stroms konnte dagegen kaum beobachtet werden. Manche der ermittelten Kurvenverläufe folgten sogar ausdrücklich nicht dem eingeprägten Strom. Eine andere Erkenntnis zeigt, dass für alle durchgeführten Messungen der höchste Widerstand beim jeweils geringsten Strom auftritt. Somit bleibt die Stromabhängigkeit, anders als bei der Spannung, unklar.

Obgleich andere Werte auftraten, so zeigt sich der Verlauf des dynamischen Widerstands in Bezug zur Temperatur bei allen Bauteilen grundsätzlich vergleichbar. Ein Temperaturanstieg führt zu einem Anstieg des statischen Widerstands, wobei der dynamische Widerstand entsprechend verringert wird.

2.6. Aufbau und Betrieb eines 1-phasigen PV-Wechselrichters mit GaN

Um die bestmögliche Lösung für GaN-Halbleiter zu finden, wurden im Vorfeld verschiedene Schaltungstopologien untersucht, um die Vor- und Nachteile jeder Schaltung abwägen zu können. Die Leistung des Photovoltaik-Wechselrichters wurde schlussendlich auf 2,3kW festgelegt, was den Anforderungen bei Netzanschluss mit 10A entspricht. Als optimale Schaltfrequenz wurde der Bereich oberhalb von 100kHz identifiziert, um ein Optimum aus Größe, Effizienz und Kosten zu erhalten. Die Fragen hinsichtlich der optimalen Ansteuerung der Halbleiter wurden entsprechend in Arbeitspaket 4, bzw.

in den vorherigen Kapiteln dieses Berichts erläutert und wurden getrennt für Hoch- und Niedervolt-Bauteile untersucht.

Bei einem Konsortialtreffen in 2014 wurden die folgenden Eigenschaften festgelegt:

Wechselrichtertyp	1-phasiger PV-Wechselrichter
Eingangsspannung	50-500V (mit vorgelagertem Hochsetzsteller)
Ausgangsleistung	2.3kW
Ausgangsspannung	230V / 50Hz / 10A
Schaltfrequenz	über 50kHz, idealerweise zwischen 100kHz und 400kHz
Wirkungsgrad	über 98,5%, um passive Kühlung zu ermöglichen

2.6.1. Grundsätzliche Topologie

Der Grundaufbau des PV-Wechselrichters wurde als bewährte und kaskadierte Verschaltung aus Vollbrückenschaltung und vorgelagertem Hochsetzsteller zur Spannungsanpassung ausgewählt. Das Ziel war hierbei, die Vorteile von GaN-Schaltern in Bezug auf ihre niedrigen Schaltenergien zu zeigen und somit den verlustarmen Einsatz grundlegendster Schaltungstopologien (wie die in Abbildung 2.25 gezeigte Vollbrüche) zu ermöglichen. Die im Projekt geplanten GaN-Halbbrückenmodule passen hervorragend in dieses Konzept, da die gezeigten Schalter S1 und S2, sowie S3 und S4 jeweils niederinduktiv miteinander verbunden sein sollten und somit sehr schnelle Schalttransienten möglich wären, die das Potential von GaN besonders hervorheben könnten. Verbesserungen, wie z.B. weiches Schalten durch Zero-Voltage-Switching (ZVS) können nachträglich einer Vollbrücke hinzugefügt werden, wie es in [8] und [9] gezeigt wird. Aufgrund der allgemeinen Informationen und den spezifischen Messergebnissen aus den vorangegangenen Arbeitspaketen wurde dieses Konzept beschlossen.



Abbildung 2.25: Grundsätzliche Wechselrichterschaltung

2.6.2. Ansteuerung

Aufgrund der angestrebten Schaltfrequenz von über 100kHz und einer größtmöglichen Flexibilität in der Ansteuerung und Regelung wurde die Entwicklung eines FPGAbasierten Steuerungssystems beschlossen. Das angestrebte System erlaubt das Ausführen des Regelungscodes in hohen Geschwindigkeiten, sodass der neue DutyCycle des PWM-Signals zu jeder Schalthandlung selbst bei hohen Schaltfrequenzen neu berechnet werden kann. Es wurde eine Steuerungsplatine mit FPGA, ADCs mit hoher Bandbreite und DACs für Debugging-Anwendungen verwendet, die am KDEE entwickelt wurde.



Abbildung 2.26: FPGA-Testboard der Universität Kassel unter Verwendung eines Altera Cyclone III FPGAs und Peripherie

Die grundsätzliche Struktur der Regelung innerhalb des Altera Cyclone III FPGAs kann in Abbildung 2.27 betrachtet werden. Die Hauptteile der Regelung sind die Netz-synchronisation, der Stromregler, die PWM-Erzeugung und die State-Machine, welche



die Systemparameter überwacht und grundlegende Sicherheitsfunktionen bereitstellt, um so z.B. die Schaltung vor einer Überlastung zu schützen.

Abbildung 2.27: Grundsätzliche Struktur der implementierten Regelung

Die Netzsynchronisation wurde unter Verwendung einer in [10] beschriebenen PLL-Struktur realisiert. Ein verallgemeinerter Integrator zweiter Ordnung (SOGI) wurde realisiert, um saubere Eingangsparameter für die verwendete Park-Transformation zu erhalten. Ein PI-Regler regelt die Frequenz der PLL, um mit der Netzfrequenz synchron zu sein. Für Labortests ohne angelegte Netzspannung kann die PLL entsprechend überbrückt werden, um im Inselnetzbetrieb eine konstante 50Hz-Ausgangsspannung, z.B. an einem Widerstand, bereitstellen zu können. Dies zeigte sich als sehr nützlich, um die einzelnen Komponenten des Gesamtsystems in Betrieb nehmen und optimieren zu können.

Die Kontrollstruktur mit den Hauptelementen, wie in den vorangegangenen Abschnitten beschrieben, wurde auf dem FPGA implementiert. Die auf dem FPGA im finalen Demonstrator implementierte Logik enthält nicht nur die Hauptsteuerschleife, sondern auch alle I/O-Ports, die für die Kommunikation mit dem Konverter über USB (implementierte RS232-Bridge) notwendig sind, um Daten aus den ADCs zu lesen, um Debug-Informationen an einen angeschlossenen DAC-Chip auszugeben und Gate-Signale an die Wechselrichterstufe sowie Steuersignale an zusätzliche Aktoren (in diesem Fall die Netzrelais) auszugeben.

Der Stromregler wurde im finalen Demonstrator im Inselbetrieb (unter Verwendung einer ohmschen Last) erfolgreich getestet. Der Netzparallelbetrieb wurde mit dem endgültigen Demonstrator jedoch nicht durchgeführt, wurde aber erfolgreich mit einer sehr ähnlichen Steuerungsimplementierung mit früheren Versionen der Demonstrator-Hardware (siehe nachfolgende Unterkapitel) realisiert.

Die Steuerung wurde dabei so entwickelt, dass mit nur geringen Änderungen an der Steuerungsimplementierung zukünftig alternative Modulationsstrategien im Demonstrator getestet oder die Schaltfrequenz variiert werden kann.

2.6.3. Kern- und Kupferverluste der magnetischen Bauelemente bei erhöhten Frequenzen

Kostenreduzierung und Leistungsdichtezunahme von netzgekoppelten Wechselrichtern sind Schwerpunkte der Wechselrichterindustrie und Forschungsinstitute [11]. Da die Ausgangsdrosseln wesentlich zur Größe und Kosten des Konverters beitragen, unterliegen sie ständiger Entwicklung und Optimierung. Die Filter- und Ausgangsdrosselgröße eines Umrichters ist entweder durch EMV-Standards oder durch Materialbeschränkungen begrenzt. Im Allgemeinen kann ein EMV-Filter mit mehreren Stufen entworfen werden, was zu vielen, aber kleinen Filterkomponenten oder zu wenigen Stufen, aber entsprechend schwereren Komponenten führt. In [12] wurde die Ausgangsdrosselgröße durch Frequenz- und Induktivitätserhöhung reduziert, wobei der Wechselrichter im diskontinuierlichen Leitungsmodus arbeitet, was zu erhöhten Verlusten innerhalb der Drossel führt. Infolgedessen sind hohe Betriebstemperaturen und daher ausgeprägte Kühltechniken erforderlich. Weiterhin kann das erforderliche EMV-Filter in der Größe und Komplexität ansteigen und erfordert mehr Komponenten, da weniger Dämpfung aus dem "Leistungsfilter" des Wechselrichters (Ausgangsdrossel) zur Verfügung steht. Bei mehr Filterkomponenten drängt sich das Problem der parasitären Kopplungseffekte aufgrund parasitärer Elemente in den Komponenten auf, was zu einer schlechten Filterleistung führt. Daher sind Abschirmungs- und Verschiebungsmaßnahmen, wie z.B. in [13] oder [14] notwendig.

2.6.4. Filterdrosseln für erhöhte Frequenzen

Der Betrieb von Drosseln bei erhöhten Frequenzen erfordert eine geringe parasitäre Kapazität, was zu einer hohen Komponentenresonanzfrequenz führen muss. Im Allgemeinen liefern kleine Induktivitätswerte niedrige Kapazitätswerte, da sie mit einer begrenzten Anzahl von Windungen realisiert werden können. Der Betrieb von Netzeinspeisungswechselrichtern im 100kHz Bereich erfordert jedoch entsprechend hohe Induktivitätswerte aufgrund der EMV-Spezifikationen. Jedoch erfordert die Realisierung solch hoher Induktivitätswerte bei zeitgleich niedrigen Kapazitätswerten entsprechende Sonderkonstruktionen. Zudem gilt es das ursprüngliche Ziel der Reduzierung der Größe, Gewicht und der Kosten weiter zu verfolgen. Schließlich muss die Erhöhung der Betriebsfrequenz zu einer Kostensenkung für die passiven Komponenten führen. Ansonsten macht die Betriebsfrequenzerhöhung der Umwandlung wenig Sinn.

Die Auslegung einer idealen Luftspule mit extrem geringer Kapazität ist durchaus möglich. Aber die Anwendung von Luftspulen ist in der Regel bei EMV-Filtern von netzgekoppelten Wandlern, aufgrund der erhöhten Spulengröße und des erforderlichen Abschirmungsaufwandes, ungeeignet. Mehrfach geschirmte Ferritspulen werden hier bevorzugt. Die Topf- und topf-ähnlichen Kerne (z.B. PQ) bieten die beste Abschirmung. Sie ermöglichen hohe Induktivitätswerte bei geringem Gewicht und DC-Widerstand. Allerdings muss die Bauteilkapazität durch entsprechende Wicklungstechniken reduziert werden, um einen ordnungsgemäßen Betrieb bei erhöhten Frequenzen zu erlauben. Die U-Kerne ermöglichen zudem eine Reihenschaltung zweier einlagiger Spulen, um eine sehr niedrige Bauteilkapazität bei hohen Induktivitätswerten zu gewährleisten, allerdings unter dem Nachteil eines höheren Gewichts und einer höheren Bauteilgröße.

2.6.5. EMV-Filter-Design

Die Norm EN55011 regelt unter anderem die Höhe der hochfrequenten Emission, die in das Netz abgeführt werden darf. Bei nichtmilitärischen Anwendungen liegt der geregelte Frequenzbereich zwischen 150kHz und 30MHz. Bei niedrigeren Frequenzen (bis zur 40. Harmonischen unter Berücksichtigung der Netz-Grundfrequenz) ist der Grenzwert geregelt durch die IEC61000-3-2, die Regeln hinsichtlich der THD für Geräte mit Eingangsströmen bis 16A Grenzen bereitstellt.

Offensichtlich gibt es somit einen ungeregelten Frequenzbereich zwischen dem Ende der THD-Regelung und dem Beginn des HF-Emissionsbereichs, wo die meisten der modernen PV-Wechselrichter ihre höchsten Oberwellen aufweisen. Mit der Einführung der WBG-Schalter und ihrer Fähigkeit, gerade bei höheren Schaltfrequenzen arbeiten zu können, werden jedoch Störungen mit hoher Stör-Amplitude in den nicht geregelten Frequenzbereich verschoben, in welchem die zulässigen EMV-Emissionen entsprechend regulatorisch begrenzt sind.

Darüber hinaus gibt es den "Druck", das Gesamtsystemvolumen zu reduzieren, was nicht allein durch einfache Erhöhung der Schaltfrequenz erreicht werden kann. Das Hauptproblem besteht darin, dass mit den höchsten Oberwellen der Schaltfrequenz innerhalb des geregelten Bereichs die erforderliche Dämpfung, die vom EMV-Filter benötigt wird, ebenfalls höher ist. Eine solche Erhöhung der Filterleistung kann zu mehr Filterstufen führen, was sich wieder in einem erhöhten Filtervolumen äußert.

Die Herausforderung liegt demnach darin, den optimalen Punkt zwischen Gesamtvolumen und Schaltfrequenz zu finden, sodass die Verluste sowohl bei Halbleitern als auch bei den magnetischen Bauelementen beiderseits eine entscheidende Rolle spielen.

Bei dem hier zu betrachtenden 1-phasigen PV-Wechselrichter mit 2,3kW wurde eine bipolare Halbleiter-Ansteuerung verwendet, um das Gleichtaktrauschens im Vergleich zur unipolaren Modulation zu verringern. Leistungs- und EMV-Filter-Design werden nachfolgend entsprechend analysiert und beschrieben, um einen optimalen Betriebspunkt bezüglich der Frequenz und der Stromwelligkeit zu finden.

Eines der Hauptziele war die Betrachtung der Minimierungsmöglichkeiten der Filterkomponenten durch Erhöhung der Schaltfrequenz. Es ist klar, dass die Leistungsfilter zukünftig leichter und kostengünstiger sein können als die State-of-the-art-Bauteile, allerdings wird häufig bei diesen Betrachtungen das EMV-Filter nicht mit in die Überlegung einbezogen. Die Dämpfung der großen Sinusdrosseln an den modernen niederfrequenten Wechselrichtern mit ca. 20kHz wird zusammen mit der EMV-Filterdämpfung summiert, was zu einer besseren Einhaltung der EMV-Standards führt.

Aufgrund der Kostensenkungsziele ist diese hohe Dämpfung der großen Leistungsfilter nicht mehr verfügbar, was die Filterstruktur viel schwieriger und aufwendiger macht. Die Filterkomponenten müssen zudem die gleiche oder gar höhere Dämpfung bei höheren Frequenzen liefern können. Obwohl es bereits einige Strategien für magnetische Komponenten gibt, sind die Kondensatoren, die für EMV-Filter benötigt werden, größer, da sie in jedem Fall den Sicherheitsstandards entsprechen müssen. Das bedeutet, dass sie mehr parasitäre Induktivitäten aufweisen, die zu einer niedrigeren Resonanzfrequenz führen und auch bei der Dämpfung bei hohen Frequenzen (MHz) eine sehr wichtige Rolle spielen. Die Kombination kleiner Sinusfilter und somit höherer Stromwelligkeiten mit parasitären Induktivitäten aus den Filterkondensatoren kann zu einem relevanteren Kopplungseffekt führen. Infolgedessen würde die Sinusdrossel einen Wert aufweisen, der aufgrund der gegenseitigen Kopplung niedriger wäre als ursprünglich ausgelegt und die parasitäre Induktivität von den Filter-Kondensatoren erhöht werden würde.

In diesem Kapitel wurden einige Überlegungen zur Größenreduzierung der Filterkomponenten getätigt. Es wurde gezeigt, dass eine einfache Erhöhung der Stromwelligkeit nicht ausreicht, um das gesamte Systemvolumen zu minimieren, da aufgrund höherer Anforderungen an das EMV-Filter das Gesamtsystem sogar größer werden kann, um Konform zu den geltenden und einzuhaltenden Standards zu bleiben. Ein Trade-Off zwischen Sinus- und EMV-Filterkomponenten muss erzielt werden, um das Hauptziel der höheren Leistungsdichte erfüllen zu können.

Basierend auf den experimentellen Ergebnissen konnte man einen sehr starken Einfluss der Eigenresonanz- und Kopplungseffekte der Komponenten sehen, da die Systemantworten bei höheren Frequenzen sogar noch schlechter waren. Auch die Verluste müssen sehr gut analysiert werden, um die optimale Schaltfrequenz und die Stromwelligkeit für jede Anwendung optimal zu wählen, da eine zusätzliche Kühlung notwendig sein kann, was wiederum zu mehr Volumen führen würde.

Die Minimierung von Kopplungseffekten und parasitären Elementen auf den Filterkomponenten ist wesentlich, um beste Filterantworten auf die in Frage kommenden Frequenzen zu erzielen. Es ist also von Bedeutung, Layout-Modifikationen nach magnetischen und elektrischen Feldern durchzuführen, sowie Komponenten-Platzierung sorgfältig und methodisch auszuwählen.

2.6.6. Finaler Demonstrator

2.6.6.1. Ausgangsfilter

Die Resonanzfrequenz der Drosseln nimmt mit zunehmender Induktivität ab. Diese sollte daher mindestens zehnmal höher sein als die eigentliche Betriebsfrequenz. Die 1,1mH PM74 Drossel liefert hierbei eine Resonanzfrequenz von ca. 1,11MHz. Aufgrund der zunächst eingesetzten 100kHz Schaltfrequenz liegt diese Drossel sehr nahe an der 1MHz Grenze. Dies bedeutet, dass deutlich höhere Induktivitätswerte nicht zu erwarten sind. Eine weitere signifikante Induktivitätserhöhung führt zu einer Resonanz unter 1MHz, was die Induktivität für die Anwendung von 100kHz ungeeignet macht.

Weiterhin sollte beachtet werden, dass die PM74 mit einer speziellen Wicklungsstruktur gewickelt wurde. Die Spule wurde hierzu in vier Abschnitten getrennt. Jeder Abschnitt trägt die gleiche Anzahl an Windungen. Die Wicklung des ersten und des zweiten Abschnitts wurde parallelgeschaltet, analog zur Wicklung des dritten und vierten Abschnitts. Schließlich wurden die ersten beiden Abschnitte in Serie mit den letzten beiden Abschnitten verbunden. Wegen des Abstands und der Parallelität der verschiedenen Wicklungen war es möglich, eine niedrige kapazitive Wicklungsstruktur zu erzielen, sodass auch die Gesamtkapazität des Bauteils selbst bei einem hohen Induktivitätswert sehr niedrig gehalten werden konnte.

Der große PM74-Kern bietet den höchsten DC-Widerstand, obwohl der Widerstand pro gegebener Induktivität recht niedrig ist. Weiterhin ist die Induktivität pro Bauteilgröße im Vergleich zu den anderen Drosseln höher. Dies lässt sich durch den Kupferfüllfaktor erklären. Der RK40 Ringkern sorgt für einen geringen Füllfaktor aufgrund der Ringkerngeometrie selbst und der Litzendrahtwicklung. Die PM 62 und der PQ50 wurden mit Folienwicklung zusammengebaut, um die Hochfrequenzverluste in den Wicklungen zu begrenzen und eine kapazitätsarme Wicklungsstruktur zu ermöglichen. Aufgrund der dicken Isolierung der Folien weisen diese beiden Drosseln entsprechend niedrige Füllfaktoren auf. Der Volldraht des PM74 ermöglicht den besten Füllfaktor und damit den höchsten Induktivitätswert pro Größe. Im Allgemeinen können Topfkerne aufgrund ihres großen magnetischen Querschnitts hohe Induktivitätswerte ermöglichen.



Abbildung 2.28: a) RK40 mit Kühlkörper, b) PQ50, c) PM62, d) PM74 Spule

Die Wicklungskapazität hängt dabei von der Drahttechnik und der Wicklungsstruktur ab. Niedrige Wicklungskapazitäten können dann erreicht werden, wenn die Potentialunterschiede zwischen benachbarten Windungen niedrig gehalten werden. Daher wird eine Folienwicklung und einlagige Runddrahtwicklung die besten Ergebnisse liefern. Die Folienwicklung hat dabei eine hohe Kapazität pro Windung. Aber die gesamte Wicklungskapazität ist aufgrund der Serienschaltung aller Wicklungen entsprechend gering. Die Spannungsdifferenz zwischen zwei benachbarten Windungen weist dabei den minimalst-möglichen Wert auf. Dies gilt auch für einen einlagigen Ringkern und andere einlagige Wicklungen.

Schlussendlich sei gesagt, dass auch bei Ausgangs-Drosseln für den 100kHz-Bereich hohe Induktivitätswerte erreicht werden können. Jedoch erhöhen sich die Fertigungskosten aufgrund der aufwendigen Wickeltechniken, die hierfür notwendig sind, signifikant. Dies ist ein ernstzunehmendes Problem, gerade in der Photovoltaik-Branche.



Abbildung 2.29: Resonanzfrequenzen für verschiedene Ausgangsdrosseln



Abbildung 2.30: Parasitäre Parallelkapazitäten für verschiedene Ausgangsdrosseln



Abbildung 2.31: DC-Widerstand für verschiedene Ausgangsdrosseln



Abbildung 2.33: Impedanz-Messungen für verschiedene Ausgangsdrosseln



Abbildung 2.32: Volumen für verschiedene Ausgangsdrosseln



Abbildung 2.34: Induktivitätsmessungen für verschiedene Ausgangsdrosseln

Für den finalen Demonstrator wurde die Ausgangsdrossel neugestaltet. Bislang wurde die RK40 100µH Drossel für die meisten Wechselrichteruntersuchungen verwendet. Die Einführung von Ringkernen verursacht jedoch hohe Bauteilkosten. Daher wurde eine neue Ausgangsdrossel auf Basis eines ETD44-Kerns entwickelt, um die Materialund Montagekosten senken zu können. Induktivität und Gleichstromwiderstand beider Drosseln sind dabei äquivalent. Die Bauteilkapazität der Ringkerndrossel beträgt 16pF. Für die ETD44-Drossel wurde die Kapazität durch die Einführung von Folienwicklungen auf 10pF abgesenkt. Damit ist die Resonanzfrequenz der ETD44-Drossel 1MHz höher, so dass die Drossel für Betriebsfrequenzen bis 500kHz geeignet ist.

Die Folienwicklung der ETD44-Drossel ist in zwei Abschnitte aufgeteilt, wie in Abbildung 2.35 zu sehen ist. Die Trennung der beiden Wicklungsabschnitte verschiebt die Wicklungen vom Luftspalt weg. Diese Maßnahme verringert die durch den Streufluss des Luftspaltes verursachten Proximity-Verluste. Der Kupfernutzungsfaktor wird dadurch weiter reduziert.



Abbildung 2.35: Folien-Wicklungs-Anordnung der ETD44 Drossel

Core	PM74	PM62	PQ50	RK40	ETD44	
Material	N27	N87	N87	Mf102	N97	
Inductance [µH]	1074	388	204	106	102	
Wire	Solid Wire 2 x 1.25mm	Foil Winding 24 x 0.1mm	Foil Winding 24 x 0.1mm	Litz Wire 420 x 0.07mm	Foil Winding 14 x 0.1mm	
DC Resist. [mΩ]	82	31	22	26	26	
Resonance Frequency [MHz]	1.11	1.82	2.43	3.92	4,93	
Parallel Cap. [pF]	19	20	22	16	10	
Size [cm ³]	253	149	80	36	63	
Resistance /Inductance [mΩ/mH]	76.5	79.5	110	243	257	
Inductance/Siz e [µH/cm³]	4.24	2.6	2.55	2.9	1,6	

Abbildung 2.36: Daten der einzelnen angefertigten Ausgangsdrosseln



Abbildung 2.37: Impedanz-Messungen des Ringkerns mit (RK40 Litze) und Drossel mit ETD44-Kern

2.6.6.2. EMV-Filter

Die ersten EMV-Filterdrosseln wurden mit Pulver-Ringkernen konstruiert. Das Pulvermaterial bietet dabei den Vorteil hoher Leerlauf-Induktivitätswerte bei, bei denen die Induktivität unter Lastbedingungen abnimmt. Alle Drosseln stellen eine einlagige Wicklungsstruktur bereit, um eine minimale Wicklungskapazität zu ermöglichen, was zu einer hohen Resonanzfrequenz führt.

Ein Nachteil der Pulvermaterialien ist der hohe spezifische Kernverlust. So ist einerseits die Applikation als Wechselrichter-Ausgangsdrossel aufgrund des Induktivitätsverhaltens unter Lastbedingungen vorteilhaft. Auf der anderen Seite erfordert der hohe spezifische Kernverlust die Anwendung von hohen Induktivitätswerten, wodurch die Drosseln sehr schwer werden. Für das EMV-Filter können die Induktivitätswerte signifikant niedriger sein, da die Leistungsverluste, die die Stromwelligkeit verursachen, durch die Wechselrichterausgangsdrossel gedämpft werden. Damit sinkt die Stromwelligkeit mit jeder Filterstufe (einschließlich des Sinusfilters). Die Drosseln in der Nähe des Netzanschlusses sind mit fast reiner sinusförmiger Erregung belastet, wo die Wechselrichterausgangsdrossel durch die volle Wechselstromwelligkeit belastet wird.

Im finalen Demonstrator wurden die EMV-Drosseln durch einlagige Pulver-E-Kern-Drosseln ersetzt. Die Wicklung wird durch den Kern abgeschirmt, um die EM-Störungen zu reduzieren. Aufgrund einer reduzierten mittleren Länge pro Umdrehung war der gesamte Gleichstromwiderstand des E-Kerns im Vergleich zu der Ringkerndrossel mit dem äquivalenten Induktivitätswert um etwa 25% niedriger. Im Gegenzug beträgt die Resonanzfrequenz der E-Kern-Drossel nur 12MHz. Die Resonanz der 40μ H Ringkerninduktivität liegt bei etwa 20MHz.



Abbildung 2.38: Puderkerne für EMV-Filter: a) T200-26, b) T1330-26, c) T106-26



Abbildung 2.39: Impedanz-Messung verschiedener Pulver-Ringkerne



Abbildung 2.40: Induktivitäts-Messungen verschiedener Pulver-Ringkerne

2.6.6.3. Aufbau und Wirkungsgradmessungen

Für den finalen Demonstrator wurde für jeden logischen Schalter eine Parallelschaltung von zwei OnSemi GaN-Baueilen eingesetzt, um die gewünschte Ausgangsleistung und Schaltfrequenz durch eine bessere Wärmespreizung zu erreichen. Die konstruierte Leiterplatte enthält dabei sowohl den Zwischenkreis, als auch einen Flyback-Converter für die allgemeine Stromversorgung, Gate-Treiber, die Leistungshalbleiter, die FPGA-Steuerung, eine USB-Kommunikation, das Sinus- und EMV-Filter, Sensoren (V_{DC}, V_{AC} und I_{AC}) mit Signalaufbereitung und ADCs sowie allgemeinen Steckverbindern. Die Abmessungen der Platine beträgt dabei:

Breite = 19cm | Höhe = 6cm | Länge = 25cm

So beträgt das Gesamtvolumen des Wechselrichters etwa 2,85dm³.



Abbildung 2.41: Finaler Demonstrator des 1-phasigen PV-Wechselrichters mit 2,3kW Leistung und OnSemi GaN-Halbleitern (Konfiguration I)



Abbildung 2.42: Beschreibung einzelner Komponenten des finalen Demonstrators



Abbildung 2.43: Gemessene Wirkungsgrad- und Verlustleistungskurven für verschiedene Konfigurationen (ohne Hilfs-Versorgung)

Während der Inbetriebnahme zeigte sich, dass sich die Parallelschaltung der eingesetzten GaN-Halbleiter im Vergleich zur Parallelschaltung zweier GS66508T nicht in dem Maße positiv auswirkte, wie erwartet. Die Chip-Temperatur überschritt bereits bei mittlerer Leistung einen Wert von 90°C. Als Lösung wurden erneut zwei passive Kühlkörper auf die GaN-Bauteile aufgebracht, wie man im obigen Bild sehen kann. Allerdings konnte die Chip-Temperatur hierdurch nicht nennenswert reduziert werden. Bei 600W Ausgangsleistung (30% der Nennleistung) gab die Schaltung eine Gesamtverlustleistung von lediglich 61,6W ab, jedoch verhinderte die Temperatur der Halbleiter eine weitere Erhöhung der Ausgangsleistung.

Da die EMV-Stufe für eine Schaltfrequenz von 390 kHz ausgelegt wurde, um die Anforderungen des CISPR-Standards erfüllt, konnte die Schalt-Frequenz der Halbleiter problemlos auf 130kHz reduziert werden, um die gewünschte Ausgangsleistung bei vergleichbaren Verlusten von 67W zu erreichen. Hier konnte bei 2,3kW Ausgangsleistung ein Gesamtwirkungsgrad von 97,16% erreicht werden. Das EMV-Filter hätte bei dieser verringerten Schaltfrequenz entsprechend sogar deutlich verkleinert werden können. Das folgende Bild zeigt die Temperatur der GaN-Bauteile mit montierter passiver Kühlung über den Halbleiter. Da die Temperatur weiterhin zwischen 80°C und 90°C liegt, stellt dies die maximale Ausgangsleistungs- und Schaltfrequenz-Kombination für diese hart geschaltete Topologie mit dem gewählten FR4-PCB und der Kühlmethode dar.



Abbildung 2.44: Temperaturprofil der vermessenen Schaltung bei 2,3kW und einer Schaltfrequenz von 130kHz



Final demonstrator at different switching-frequencies

Abbildung 2.45: Wirkungsgrad- und Verlustleistungskurven für Konfiguration I mit parallelen OnSemi GaN-Halbleitern (ohne Hilfs-Versorgung)

Schließlich konnte unter Verwendung von acht GaN-Bauteilen ein voll funktionsfähiger 1-phasiger PV-Wechselrichter-Demonstrator für eine Ausgangsleistung von 2,3kW und einer Schaltfrequenz von 130kHz aufgebaut und betrieben werden, was die Ziele des Projekts erfüllt, obgleich die angestrebte Schaltfrequenz von deutlich oberhalb von 300kHz nicht erreicht werden konnte. Das Gerät enthält entsprechend Netzrelais, Filter und eine voll implementierte Steuerung auf Basis eines FPGAs. Aufgrund mehrerer Verzögerungen durch elektrische Probleme konnte jedoch lediglich der Laborprototyp in der Konfiguration B und C (SiC MOSFETs) im Netzparallelbetrieb getestet werden. Alle sonstigen Messungen wurden unter Verwendung einer an die Ausgangsleistung stets angepassten Widerstandslast durchgeführt, um die gewünschte Ausgangsleistung und Spannung erreichen zu können.

Die nachfolgende Grafik zeigt die gemessenen Ausgangssignale der Spannung und des Stroms des Demonstrators. Wie man sehen kann, entstehen kleinere Verformungen an den Spitzen der Sinuswelle. Diese Deformationen können auf das EMV-Filter zurückgeführt werden, welches Resonanzen bei bestimmten Frequenzen hervorruft. Diese Resonanzen wurden mit einem Kerbfilter in einer späteren Revision der Steuerung gefiltert, und der Ausgangsstrom weiter optimiert.



Abbildung 2.46: Ausgangsspannung und -strom des finalen Demonstrators

Config. 💌	Used device	🕶 fsw 🛛 💌	EuroEta 💌	CecEta 💌	EtaMax 💌	Ploss,max	Comment 💌
Config A	Si IGBT F5	100 kHz	95,81 %	96,02 %	96,28 %	99 W	
Config B	SiC SCT3030AL	390 kHz	91,97 %	93,61 %	95,03 %	121 W	
Config C	SiC SCT3060AJ	390 kHz	n/a	n/a	95,38%	81 W	max. 75%
Config E	GaN GS66508T	390 kHz	n/a	n/a	94,09 %	72 W	max. 50%
Config F	GaN GS66516T	390 kHz	n/a	n/a	94,73 %	63 W	max. 50%
Config G	GaN 2xGS66508	T 390 kHz	92,41 %	93,99 %	95,44 %	108 W	
Config H	GaN OnSemi	390 kHz	n/a	n/a	95,11 %	58 W	max. 50%
Config I	GaN 2x OnSemi	390 kHz	n/a	n/a	90,68 %	62 W	max. 30%
Config I	GaN 2x OnSemi	130 kHz	96,58 %	97,03 %	97,37 %	67 W	

Abbildung 2.47: Übersicht einzelner Konfigurationen und deren Haupteigenschaften

2.6.7. Zusammenfassung

Alle zu testenden Halbleiter (unabhängig, ob Silizium, SiC oder GaN) konnten letztendlich erfolgreich betrieben werden, nachdem die elektromagnetische Verträglichkeit sichergestellt werden konnte. Zwischenzeitlich verursachten die schnellen Schaltflanken der GaN-Bauteile schwerwiegende Probleme in den Sensorleitungen, die schließlich die Gate-Treiber störten, sodass durch den Treiber die Bauteile parasitär eingeschaltet wurden, obwohl die PWM-Leitungen bis zum Treiberbaustein eine gute Verbindung besaßen. Die Wirkungsgradmessungen zeigen, dass mit WBG-Geräten auch in hart geschalteten Topologien mit Schaltfrequenzen von bis zu 400 kHz Spitzenwirkungsgrade bis hin zu 95%, bzw. bei einer Schaltfrequenz von 130 kHz bis 97% erreicht werden können. Die Verlustleistung von GaN-Bauteilen ist aufgrund der kleinen Packages jedoch eine Herausforderung und begrenzt die erreichbare Ausgangsleistung. Am Ende muss der Fokus entweder auf bessere Kühlstrategien oder die grundsätzlich eingesetzte Schaltungstopologie (z. B. Soft-Switching mit ZVS) gelegt werden.

3. Zusammenfassung

Ziel des Projektes war die Demonstration des Potenzials von GaN-basierten Halbleitern auf Systemebene mit elektronischen Leistungswandlern für die Photovoltaik-Anwendung. In einem ersten Schritt wurden die anwendungsspezifischen Parameter der Komponenten, wie Schaltverhalten und Verluste, untersucht. Hier wurde eine umfangreiche Datenbank mit relevanten Messungen erstellt. Die Ergebnisse wurden mit der Auswahl einer geeigneten Inverter-Topologie verwendet. Basierend auf den Ergebnissen der Gerätecharakterisierungen wurde schließlich eine Vollbrücken-Wechselrichter-Topologie gewählt, um GaN-Bauteile in einer grundlegenden Schaltungstopologie zu verwenden, anstatt restriktive weichschaltende Wechselrichter-Designs zu implementieren. Hierfür wurden die passiven Filterelemente für den Betrieb bei hohen Schaltfrequenzen über 100kHz ausgewählt und ausgelegt.

Die angestrebten Schaltfrequenzen von mehreren 100kHz brachten zunächst einige Herausforderungen in Bezug auf die Steuerung, die schließlich unter Verwendung eines parallel-verarbeitenden FPGAs gelöst werden konnten. In späteren Serien-Invertern könnte dies mit schnellen Mikrocontrollern und optimiertem Code realisiert werden, sodass nicht zwangsweise ein FPGA benötigt wird. Die Entwicklung und Tests der Regelalgorithmen für einen sauberen sinusförmigen Ausgangsstrom verzögerten die Entwicklung des endgültigen Demonstrators, da die notwendigen Lösungen in Fixed-Point-VHDL implementiert werden mussten.

Die durchgeführten Wirkungsgradmessungen am Demonstrator enthalten nicht die Hilfsversorgung und den geplanten Hochsetz-Steller, da der Aufbau des entworfenen Flyback-Konverters und der vorgelagerte Hochsetz-Steller zugunsten der Hauptschaltung verschoben wurde. Nach Abschluss der Hauptmessungen konnte jedoch der Flyback zwischenzeitlich in Betrieb genommen werden und arbeitet nun einwandfrei. Lediglich der Hochsetzsteller für den weiten Eingangsspannungsbereich ab 50V konnte aus den im Bericht beschriebenen Herausforderungen nicht realisiert werden. Das ursprünglich geplante Gehäuse (ein SMA SunnyBoy 5000TL20-Gehäuse, das die EMV-Regularien bereits einhält) konnte für den finalen Demonstrator nicht wie ursprünglich geplant verwendet werden, da die bodenseitig gekühlten GaN-Halbleiter nicht auf die integrierten Kühlkörperaussparungen passten. Ein neues Gehäuse wurde entsprechend für den endgültigen Demonstrator bestellt und die Schaltung so eingebaut, dass lediglich 2 DC-Leitungen, der AC-Anschluss und ein USB-Anschluss für die Kommunikation mit dem Computer nach Außen führen.

Der endgültige Demonstrator zeigte die Vor- und Nachteile von GaN-Halbleitern in Hartschaltenden-Topologien. Aufgrund des kleinen Gehäuses der eingesetzten Halbleiter muss die Kühlung einer der wichtigsten Teile des Designs einnehmen. Rückseitig-gekühlte Bauteile erfordern zudem spezielle Leiterplattenentwürfe (z. B. Kupfer-gefüllte Durchkontaktierungen) und top-seitig gekühlte Bauteile sind durch ihre kleinen Größen eingeschränkt.

Schlussendlich kann als Fazit gezogen werden, dass die geltenden EMV-Vorschriften keine lineare Reduzierung der Ausgangs- und EMV-Filter mit zunehmender Schaltfrequenz erlauben, da die EMV-Richtlinien ab Frequenzen über 150kHz entsprechend anders lauten.

Literaturverzeichnis

- M. Briere, "GaN on Si based power devices: an opportunity to significantly impact global energy consumption," 25th compound semiconductor manufacturing technology conference, 2010, p. 221.
- [2] J. Everts, P. Jacqmaer, R. Gelagaev und e. al., "A hard Switching VIENNA Boost Converter for Characterization of AlGaN/GaN/AlGaN Power DHFETs," Nürnberg, PCIM2010, 2010, pp. 309-314.
- [3] W. Saito, T. Nitta, Y. Kakiuchi, Y. Saito und e. al., "Suppression of Dynamic On-Resistance Increase and Gate Charge Measurements in High-Voltage GaN-HEMTs With Optimized Field-Plate Structure," IEEE Transactions on Electronic Devices, 2007, pp. Vol. 54, No. 8.
- [4] G. Meneghesso, G. Verzellesi, R. Pierobon, F. Rampazzo und e. al., "Surface-Related Drain Current Dispersion Effects in AlGaN–GaN HEMTs," IEEE Transactions on elektronic drives, 2004, pp. Vol 51, Issue 10, 1554-1561.
- [5] R. Gelagaev, P. Jacqmae und J. Driesen, "A Fast Voltage Clamp Circuit for the Accurate Measurement of the Dynamic ON-Resistance of Power Transistors," IEEE Transactions on Industrial Electronics, 2015, pp. Vol. 62, No. 2, 1241-1250.
- [6] N. Badawi und S. Dieckerhoff, "A new Method for Dynamic Ron Extraction of GaN Power HEMTs," Nürnberg, PCIM2015, 2015.
- [7] GaNSystems, "Top cooled 650V enhancement mode GaN transistor," in GS66508T Data Sheet, Rev. 150904, GaNSystems, 2015.
- [8] P. Zuk und S. Havanur, Zero-Voltage Switching Full-Bridge Converter: Operation, FOM, and Guidelines for MOSFET Selection, Vishay System Application Note AN847.
- [9] Y. Chen und D. e. Xu, A ZVS Grid-Connected Full-Bridge Inverter With a Novel ZVS SPWM Scheme, IEEE Transactions on Power Electronic, Vol. 31, No.5, 2016.

- [10] M. Ciobotaru, R. Teodorescu und F. Blaabjerg, A New Single Phase PLL Structure Based on Second Order Generalized Integrator, 37th IEEE Power Electronics Specialists Conference, 2006.
- [11] J. Friebe und M. Meinhard, "Future Challenges of Power Electronics for PV-Inverters," Nürnberg, PCIM 2015, 2015.
- [12] S. Hoffmann, E. Hoene und O. Zeiter, "Reducing Inductor Size in High Frequency Grid Feeding Inverters," Nürnberg, PCIM 2015, 2015.
- [13] X. Gong und J. Ferreira, "Three-dimensional parasitic cancelation in EMI Filters with Power Sandwich Construction," EPE, 2011.
- [14] S. Wang, F. Lee, W. Odendaal und J. Wyk, "Improvement of EMI Filter Performance With Parasitic Coupling Cancellation," IEEE Transactions on Power Electronics, Vol. 20, No.5, 2005.