

Versuch Nr. 9
Digitale Regelung

Praktikum

Steuer- und Rechenwerke Motorola MC 6802



Betreuung:
Dipl.-Ing. F. Bollensen
C. Christmann

Versuch Nr. 9 Digitale Regelung

1. Beschreibung der Bausteine

1.1 Der Analog/Digital- Wandler ZN427

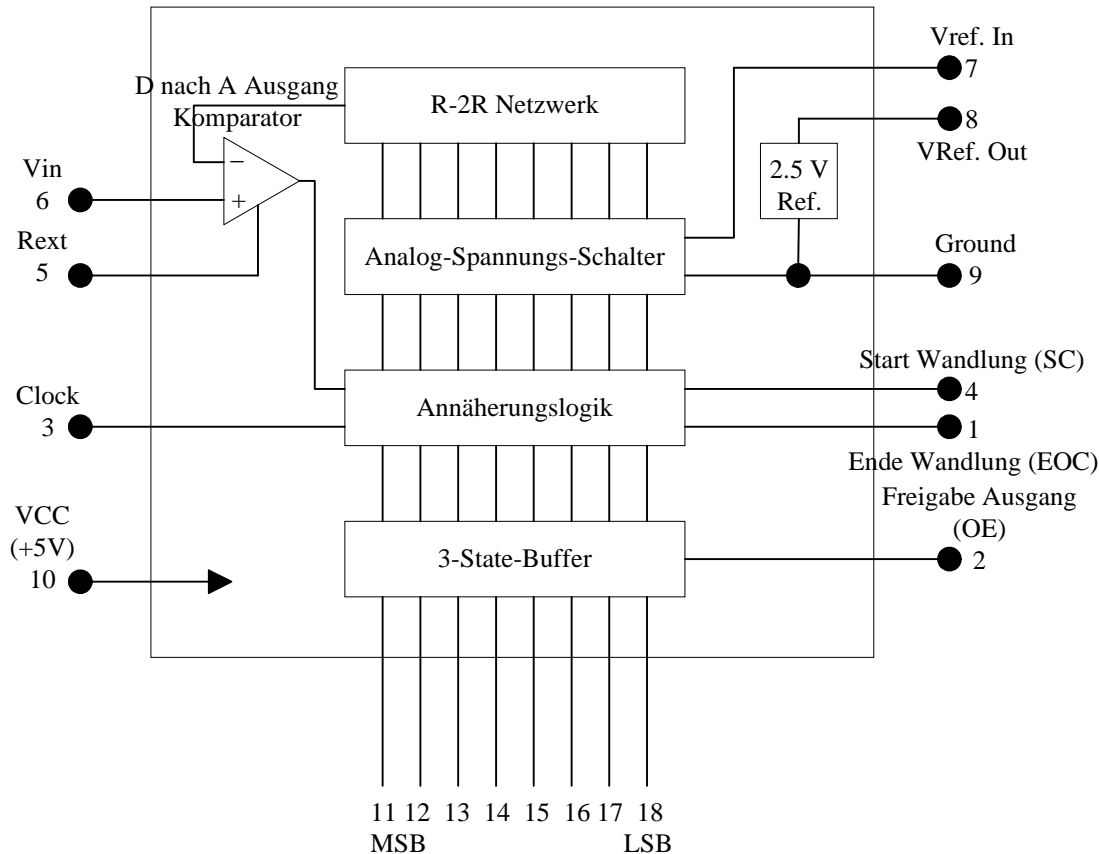
Der Baustein ZN427 wird von der Firma Ferranti in zwei Ausführungen angeboten.

- Ferranti ZN427E-8 Temperaturbereich 0°C - 70°C
- Ferranti ZN427E-8 Temperaturbereich -55°C - $+125^{\circ}\text{C}$

1.1.1 Baustein- Charakteristiken

- $15\mu\text{s}$ Umwandlungszeit
- 3- Zustands- Ausgänge (Tri- State) TTL- Kompatibel
- interne oder externe Referenz verwendbar
- kein Datenverlust innerhalb des Temperaturbereiches
- einpoliger (nur positive oder nur negative Spannungen) oder zweipoliger (\pm Spannungen) Eingangsbereich
- Umwandlung verhältnismäßig zum Dezimalsystem
- $+5\text{V}$ und -3V bis -30V Versorgungen

1.1.2 Interner Aufbau



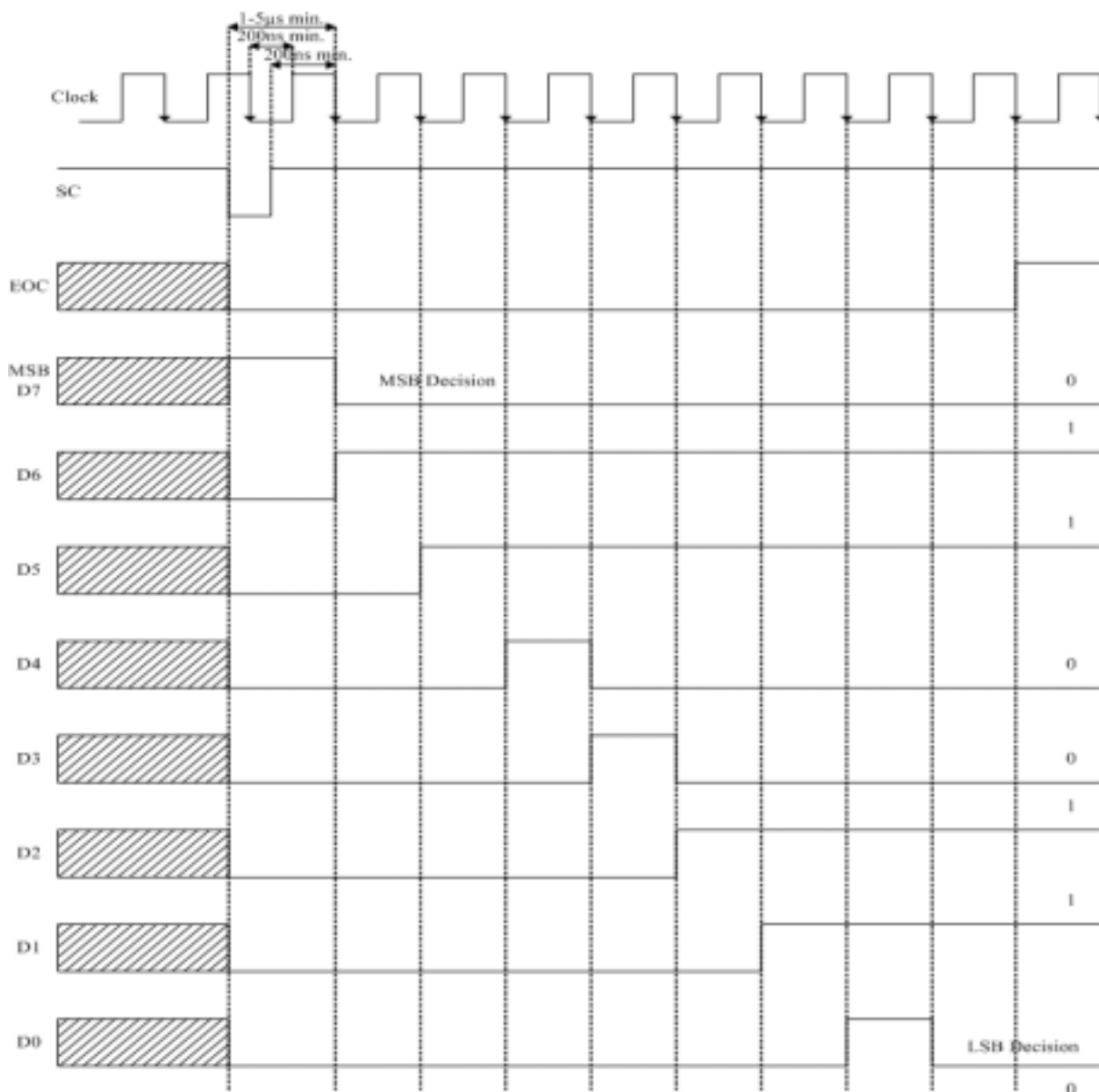
Versuch Nr. 9

Digitale Regelung

1.1.3 Beschreibung

Der ZN427 ist ein 8-Bit Analog/Digital-Wandler zur Verbindung von analogen Systemen mit Bus-Systemen. Er besteht aus einem Digital/Analog -Wandler auf der Basis eines R-2R Netzwerkes mit einer 2.5 Volt Präzisionsreferenz, einem schnellen Komparator einer Annäherungslogik und einem Ausgangspuffer. Es ist möglich die interne Referenz, oder eine externe, feste bzw. variable Referenz, zu nutzen. Zum Betrieb sind nur passive externe Bauteile erforderlich. Für normale Verwendung sind dies ein Eingangswiderstand, ein Referenzwiderstand, einen Referenzkondensator und ein Widerstand vom Pin „Rext.“ (Pin 5) zur negativen Spannung (V-).

1.1.3 Timing Diagramm



Versuch Nr. 9

Digitale Regelung

1.1.5 Funktionsbeschreibung

Der A/D- Wandler wird mit dem „Null“- aktiven Signal SC (Start of Conversion) gestartet. Nach erfolgen dieses Signals werden alle Bits auf „Null“ gesetzt, außer dem MSB (höchstwertiges Bit), welches auf „Eins“ gesetzt wird (Datenwort 80 Hex). Dieses erzeugt am Ausgang des internen D/A- Wandlers eine Spannung von $\frac{1}{2} V_{\text{refer.in}}$. Diese wird verglichen mit der Eingangsspannung V_{in} , und es erfolgt die Entscheidung bei der ersten fallenden Clock- Flanke ob das MSB- Bit „Null“ gesetzt wird, wenn $\frac{1}{2} V_{\text{refer.in}} > V_{\text{in}}$ ist, oder „Eins“ bleibt.

Bit2 wird mit der selben fallenden Flanke auf „Eins“ gesetzt, und bei der nächsten fallenden Flanke wird durch Vergleich des D/A- Wandlers mit V_{in} entschieden, ob Bit2 „Eins“ bleibt. Dieser Vorgang wird auch für die restlichen Bits wiederholt, sodass wenn das EOC (End of Conversion) auf „Eins“ geht, der digitale Ausgang des Wandlers eine genaue Aussage über V_{in} macht. Die binäre Ausgangsdaten werden in einem Datenpuffer gespeichert und können mit dem Steuersignal OE (Output Enable) freigegeben werden.

1.2 Der Digital/ Analog- Wandler ZN428

Der Baustein ZN428 ist ein 8- Bit D/A- Wandler mit Eingangspuffer und wird von der Firma Ferranti in zwei Ausführungen angeboten.

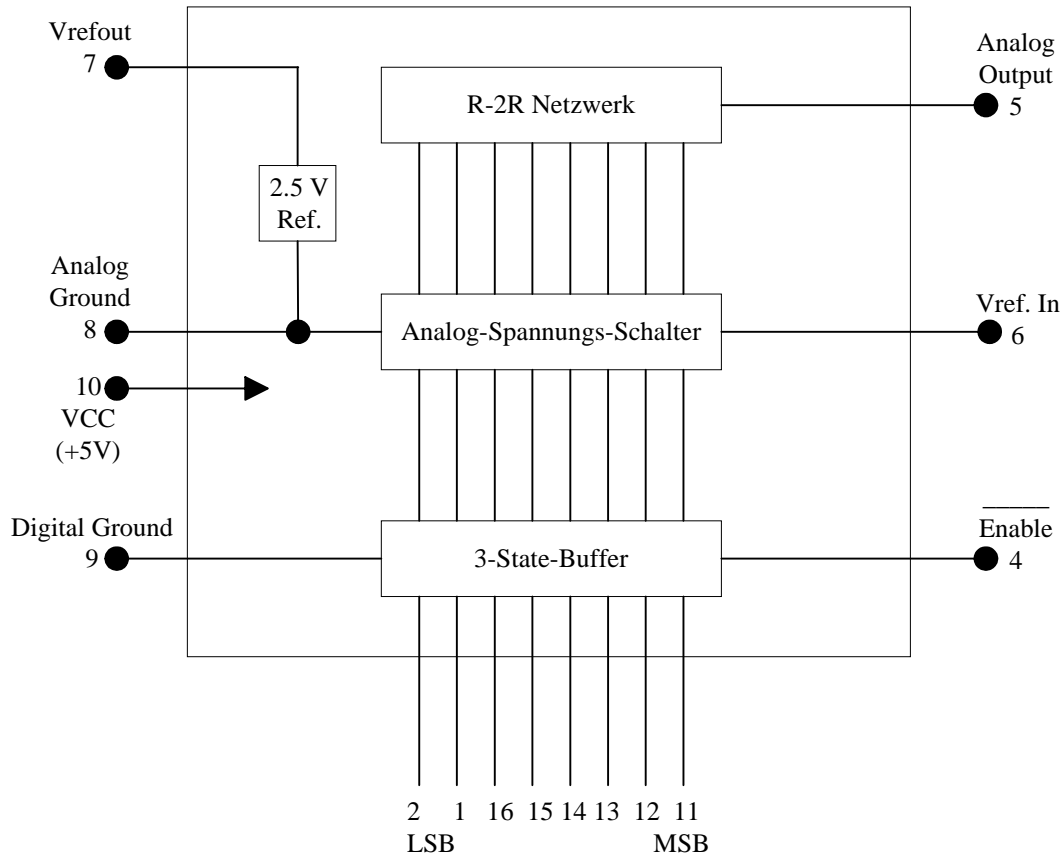
- a.) Ferranti ZN428E-8 Temperaturbereich 0°C- 70°C
- b.) Ferranti ZN428E-8 Temperaturbereich -55°C- +125°C

1.2.1 Baustein- Charakteristiken

- Besteht aus einem D/A- Wandler mit Datenpuffer und interner Referenz
- Garantiert stabil über den ganzen Temperaturbereich
- einfache 5V Versorgung
- TTL- und 5V CMOS- kompatibel
- 800ns Wandlungszeit

Versuch Nr. 9 Digitale Regelung

1.2.2 Interner Aufbau



1.2.3 Beschreibung

Der ZN428 ist ein 8- Bit D/A- Wandler mit Eingangspuffer, um das Lesen von Daten zu erleichtern. Der Puffer nimmt Daten auf, wenn ENABLE „Null“ ist. Diese werden erst dann gespeichert, wenn ENABLE „eins“ ist. Der ZN428 enthält auch eine 2.5V Referenz, deren Benutzung aber durch externe Verdrahtung freigestellt ist. Eine externe, variable oder feste Referenz kann deshalb auch benutzt werden.

1.3. Beschreibung der Karte

Die Karte wird an den auf der Rückseite des 6802- Systems vorhandenen Steckplatz angesteckt. Dieser Steckplatz hat die Adressen \$9000 bis \$9FFF . Die über den Steckplatz herausgeführten Datenleitungen D0 - D7 gehen auf einen Treiberbaustein (74LS245: Bi- direktionaler Treiber) der die Dateninformation verstärkt und auf den Bus der Karte gibt. An diesen Bus sind der D/A- Wandler ZN428 (siehe 1.2) sowie der A/D- Wandler ZN427 (siehe 1.1) angeschlossen.

Versuch Nr. 9 Digitale Regelung

1.3.1 Adressierung

Vorgaben:

- vom Prozessor müssen beide Bausteine angesprochen werden
- die Richtung des Treibers muss angegeben werden
- es müssen Daten zum D/A- Wandler geschrieben werden
- die geschriebenen Daten müssen freigegeben werden
- der A/D- Wandler muss das Startzeichen zum Wandeln erhalten
- nach erfolgter Wandlung des A/D- Wandlers müssen die gewonnenen Daten freigegeben und gelesen werden.

Da jedoch nur eine Chip- Select- Leitung (CS 9000) zur Verfügung steht muss mit den vorhandenen Steuerleitungen, sowie der Adressleitung A0 eine Differenzierung vorgenommen werden.

Zur Verfügung stehende Steuerleitungen:

- R/W Read (Eins- Aktiv) / Write (Null- Aktiv); gibt an, ob ein Lese oder Schreib- Zugriff stattfindet
- A0 Adressleitung
- CS Chip- Select; Bausteinfreigabe für den Adressbereich 9000

a.) Treiber

Wird die Adresse 9000 angesprochen, so geht das CS- Signal auf „Null“ und der Treiber wird freigegeben. Je nach dem ob es sich um einen Lese- oder Schreibvorgang handelt, wird der Treiber durch das R/W- Signal in der gewünschten Richtung freigegeben.

b.) D/A- Wandler

Mit einem Schreibzugriff soll der D/A- Wandler freigegeben werden. Um jedoch zu unterscheiden ob mit dem Schreibzugriff der D/A- Wandler und nicht der A/D- Wandler gemeint ist, wurde die Adresse A0 zusätzlich zu den Steuerleitungen zur Karte geführt. Somit erhält der D/A- Wandler die Adresse 9000 und der A/D- Wandler die Adresse 9001 (Festlegung!).

- sollen also Daten zum D/A- Wandler geschrieben werden, muss die Adressleitung A0 „Null“- aktiv sein
- da es sich um einen Schreibvorgang handelt, muss auch die R/W- Leitung „Null“- aktiv sein
- weiterhin muss gewährleistet sein , dass der Adressbereich 9000 angesprochen ist, d.h. das CS- Signal muss ebenfalls „Null“- aktiv sein

Diese 3 Signale sind mit einem UND- Gatter verknüpft und ergeben das Freigabesignal (/ENABLE) für den D/A- Wandler.

Versuch Nr. 9

Digitale Regelung

c.) A/D- Wandler

Für den A/D- Wandler wurde die Adresse 9001 vorgesehen. Wird er also angesprochen, so liegt die Adressleitung A0 auf „Eins“. Damit der A/D- Wandler überhaupt arbeitet, muss er ein Startzeichen (Start of Conversion) erhalten. Ist dies erfolgt, benötigt er etwa 8 - 10 Systemtakte für die Wandlung, bis der digitale Wert zur Verfügung steht. Um den Wandler zu starten, führen wir deshalb einen Schreibvorgang nach der Adresse 9001 durch (A0 = „Eins“ zur Unterscheidung eines Schreibvorganges nach Adresse 9000).

- Adresse A0 „Eins“- aktiv
- R/W- Leitung „Null“- aktiv (Schreibvorgang)

Beide Leitungen verknüpft ergeben das Startsignal für den A/D- Wandler, welches an den Eingang „Start of Conversion“ gegeben wird. Nach einer Wartezeit stehen die Daten am Ausgangspuffer zur Verfügung und können nun von der Adresse 9001 gelesen werden.

- Adressleitung A0 „Eins“- aktiv
 - R/W- Leitung „Eins“- aktiv (Lesevorgang)
 - CS- Leitung „Null“- aktiv (Adressbereich 9000 angesprochen)
- Diese 3 Signale verknüpft ergeben die Freigabe des Ausgangspuffers (OUTPUT ENABLE).

d.) Analogteil

Vom Ausgang geht das Signal auf einen Operationsverstärker, in nichtinvertierender Schaltung, mit der Verstärkung 1 (Spannungsfolger). Bei dem OP handelt es sich um einen CA3140 mit einer einseitigen Spannungsversorgung von +5V. Der Ausgang des OP's geht auf einen Spannungsteiler, dessen Abgriff wiederum auf einen zweiten OP in der gleichen Beschaltung geht. Der Ausgang dieses OP's wiederum geht über einen 4kOhm- Widerstand auf den Eingang des A/D- Wandlers.

e.) Spannungsversorgung

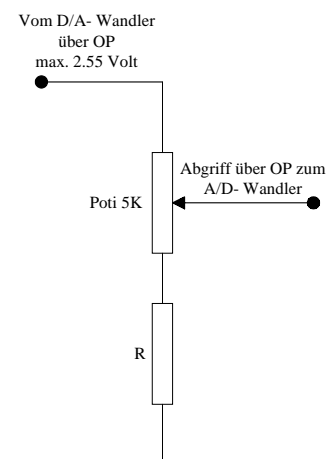
Die Karte benötigt eine Spannungsversorgung von +5V, welche das 6802- System liefert. Zum Betrieb des A/D- Wandlers wird weiterhin eine negative Versorgungsspannung von -10V benötigt. Diese wird von dem DC/DC- Wandler (MAX 680) aus der +5V Versorgungsspannung gewonnen.

f.) Der Spannungsteiler

Die maximale Ausgangsspannung des D/A- Wandlers beträgt 2.55V. Unabhängig von der Stellung Potentiometers soll am Abgriff eine Spannung von mindestens 0.5V zu messen sein. Aus diesem Grund muss der Spannungsteiler, bestehend aus dem Potentiometer (5kOhm) und dem Widerstand R, so dimensioniert sein, dass bei maximaler Ausgangsspannung des D/A- Wandlers, am Widerstand R mindestens eine Spannung von 0.5V abfällt. $U_P/U_R = R_P/R$

$$\begin{aligned}
 R &= (R_P \cdot U_R) / U_P \\
 &= (5k \cdot 0.5V) / (2.55V - 0.5V) \\
 &= 1.219k
 \end{aligned}$$

Gewählt: R = 1.3k



Versuch Nr. 9

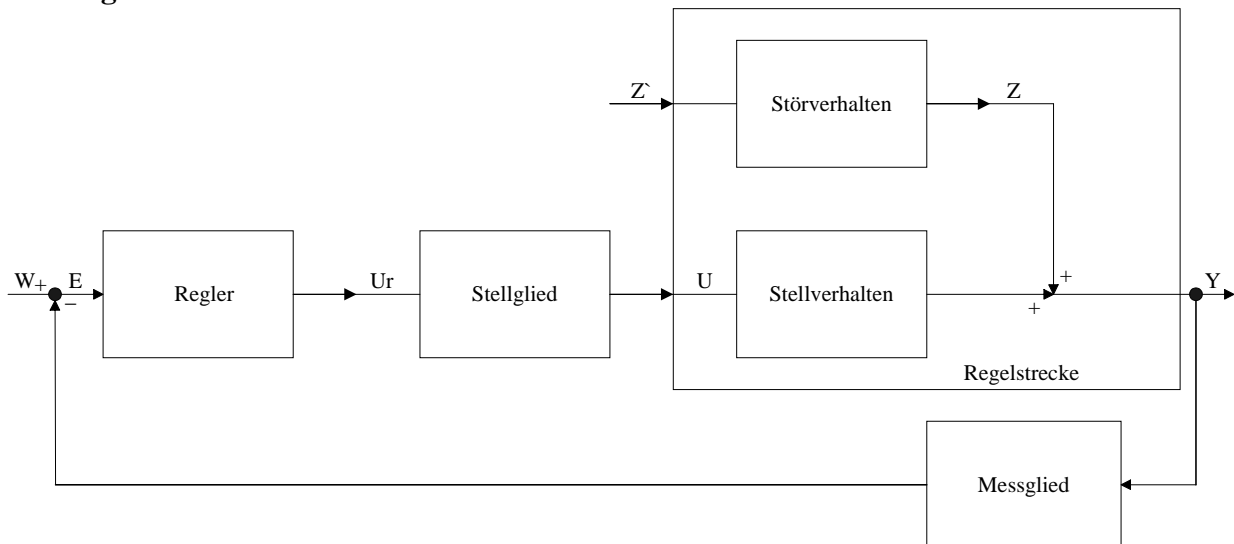
Digitale Regelung

1.4. Aufgabenstellung

Mit der Wandlerplatine soll eine digitale Spannungsregelung ausgeführt werden. Über den D/A-Wandler ZN428 (Adresse 9000) soll ein Spannungswert auf einen Spannungsteiler TR1 ausgegeben werden. Vom Abgriff des Spannungsteilers soll nun die sich einstellende Spannung (Istwert) mit dem ZN427 (Adresse 9001) eingelesen werden.

Dieser Istwert soll mit einem in der Speicheradresse A500 stehenden Wert (Sollwert) verglichen werden. Besteht eine Differenz zwischen Sollwert und Istwert, so soll diese Differenz (Regelabweichung) zum Ausgabewert des D/A-Wandlers addiert oder subtrahiert und dann ausgegeben werden. Dies soll so lange geschehen, bis die Regelabweichung Null erreicht ist. Wird die Einstellung des Spannungsteilers geändert, so soll die Regelung den Ausgabewert solange nachregeln, bis am Abgriff der Sollwert ansteht.

1.4.1 Regelkreis



w Sollwert

Y Istwert

e Regelabweichung

$e = w - Y \rightarrow \text{Regelabweichung} = \text{Sollwert} - \text{Istwert}$

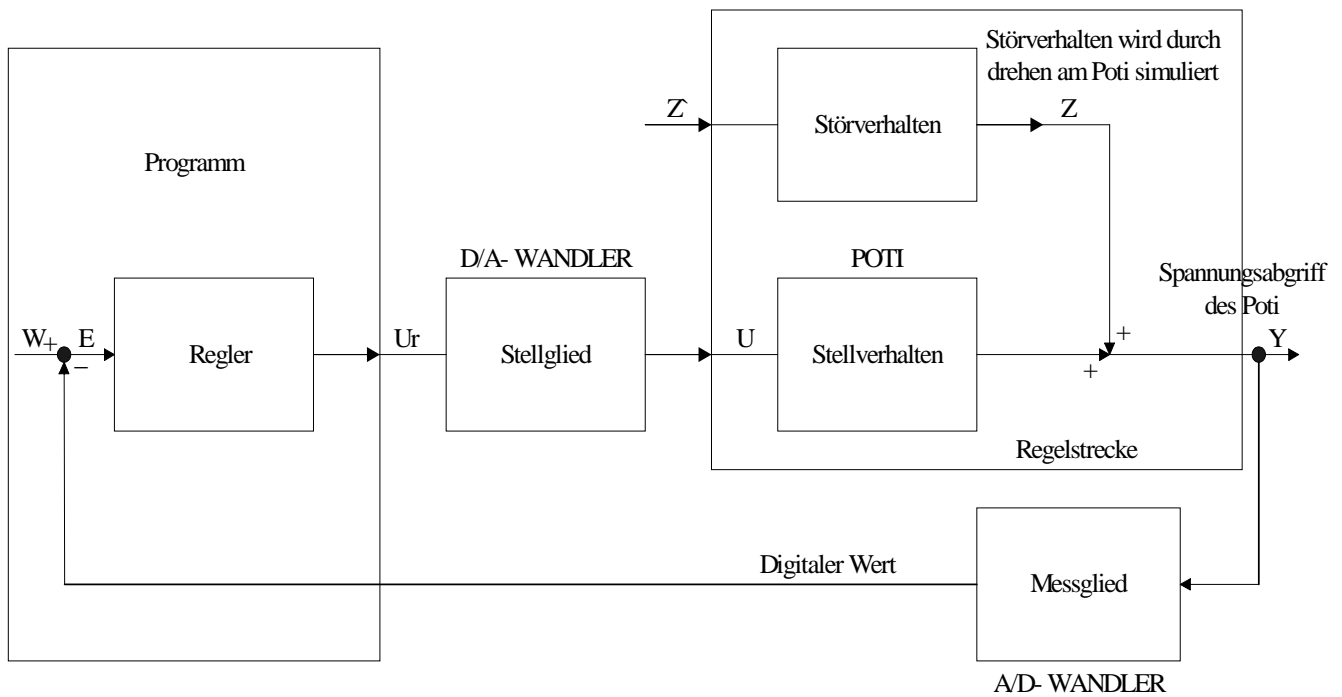
Ur Ausgang des Reglers

Der Ablauf der Regelung wird dabei durch folgende Schritte charakterisiert:

- Messung der Regelgröße Y (Istwert)
- Bildung der Regelabweichung $E = W - Y$; Vergleichen der Regelgröße Y mit dem Sollwert W
- Verarbeitung der Regelabweichung derart, dass durch verändern der Stellgröße U die Regelabweichung vermindert oder beseitigt wird.

Versuch Nr. 9 Digitale Regelung

1.4.2 Prinzip der Regelungskarte für den 6802



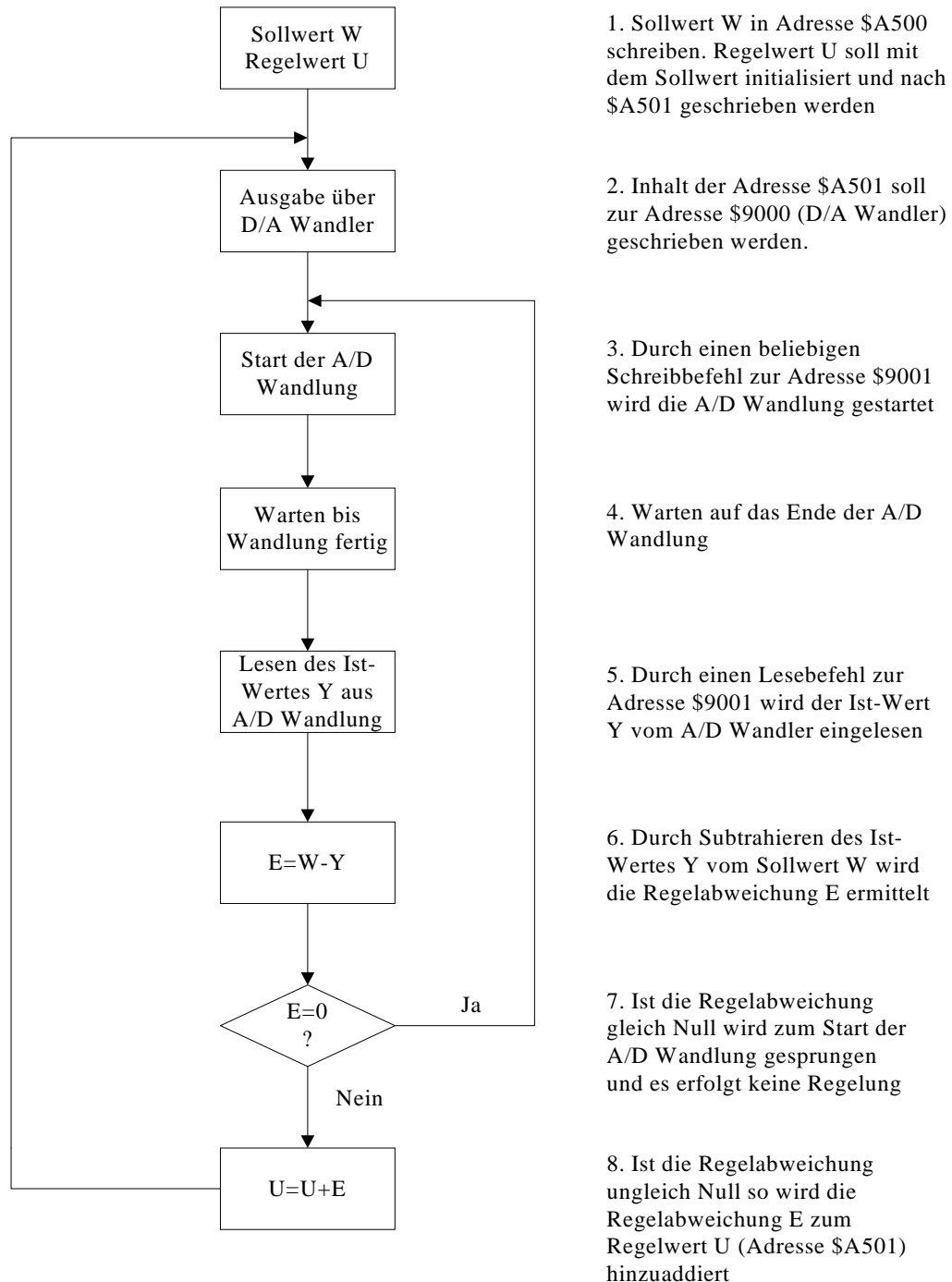
Versuch Nr. 9

Digitale Regelung

1.4.3 Struktogramm

Struktogramm

Versuch Nr. 9



Versuch Nr. 9

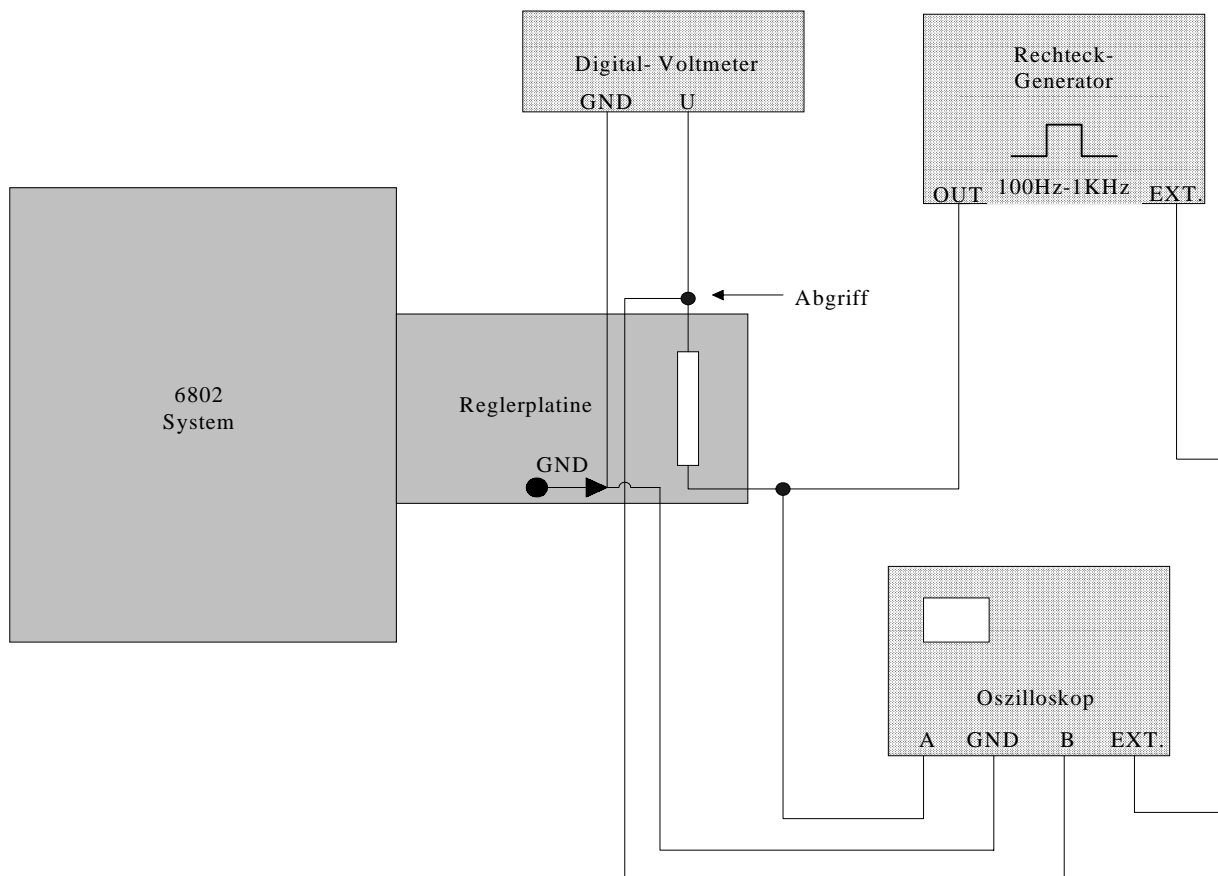
Digitale Regelung

1.5 Verhalten des Reglers bei einer Störung

Es soll nun das Verhalten der Schaltung, sowie des dazugehörigen Programms, bei auftreten einer Störung untersucht werden. Wir wollen zu diesem Zweck einen Spannungseinbruch von 90%, wie er bei einer Spannungsquelle z.B. durch eine starke Laständerung vorkommen kann, simulieren und das Verhalten der Schaltung dabei beobachten.

Um einen solchen Spannungseinbruch zu simulieren, müssen wir unsere Ausgangsspannung am Abgriff des Poti's mit einer negativen Spannung überlagern. Um den Vorgang auf einem Oszilloskop besser beobachten zu können, wäre es sinnvoll diesen Spannungseinbruch periodisch, in nicht zu schnell wiederkehrenden Abständen zu wiederholen.

1.5.1 Versuchsaufbau



1.5.2 Beschreibung des Versuchsaufbaus

Zur Simulation der Störung geben wir auf den Abgriff des Poti's über einen 3.9k Widerstand eine Rechteckspannung von 100 Hz mit einer Amplitude von $-1.8V$. Die Rechteckspannung (Störgröße) geben wir außerdem auf den Kanal A des Oszilloskops. Zur besseren Triggierung verbinden wir den Triggerausgang des Generators mit dem des Oszilloskops. Die Ausgangsspannung am Abgriff wird weiterhin mit einem Digitalvoltmeter überwacht. Außerdem geben wir den Abgriff des Potis auf den Eingang des Oszilloskops. Alle anderen Einstellungen (z.B. Sollwert) sowie das Programm bleiben wie im vorhergehenden Versuch.

Versuch Nr. 9 Digitale Regelung

1.6.1 Aufbau der Platine

